



Fenerbahçe Üniversitesi

BLM 202 – Bilgisayar Mimarisi

LAB 1: Kombinasyonel ve Ardışık Devreler

Önemli Not: Aşamaları tamamladıkça, dersin hocası veya asistanı yanınıza çağırarak, tamamladığınız aşamayı gösterdikten sonra diğer aşamaya geçiniz.

LAB Hakkında:

Verilog Dili ile kombinasyonel ve ardışık devre uygulamaları yapılacaktır.

Üniversitede 5 adet FPGA kartı online eğitim için sunucuya bağlanmıştır.

Sunucudaki FPGA'lere

- 10.18.0.136::3121
- 10.18.0.136::3122
- 10.18.0.136::3123
- 10.18.0.136::3124
- 10.18.0.136::3125

Adreslerinden erişilebilir. FPGA'lere erişim gösterilecektir.

Yapılacak tasarımlar online eğitim nedeniyle, FPGA'lerin üzerindeki butonlara basıp, LED'leri gözlemlemek mümkün değildir.

Dolayısıyla bunu dolaylı olarak mümkün kılmak için, yapılacak tasarımlarda Xilinx'in VIO (Virtual Input Output) IP'si de birlikte kullanılacaktır.

LAB'ın aşamaları ve puanlar:

1- Ön aşamalar (0 Puan)

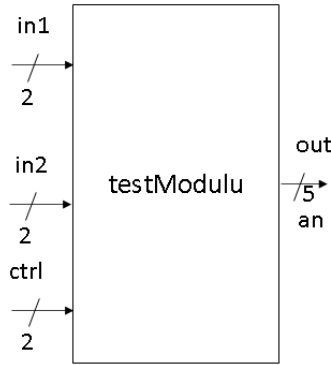
Horizon sayfası üzerinden Üniversite'ye bağlanınız.

Vivado tasarım aracında, XC7A35Tcpg236-1 (Basys 3) cihazı için boş bir proje açınız.

Basys3 için hazırlanmış kısıt dosyasını indiriniz.

http://levent.tc/files/courses/digital_design/labs/basys3.xdc

Test modülü isminde bir modül geliştirilecektir. Modülün giriş ve çıkış sinyalleri aşağıdaki şekilde verilmektedir.



Şekil 1. Test Modülü Giriş Çıkışları

Bu modül, aldığı ctrl girişinin değerlerine göre in1 ve in2 ile aritmetik işlemler yaparak out portundan çıktı vermektedir.

Ctrl girişi;

- 0 ise, out = in1 + in2
- 1 ise, out = in1 - in2
- 2 ise, out = in1 * in2
- Diğer durumlarda, out = 5'b11111

Çıktısı vermelidir.

Tasarımı gerçekleyiniz.

Cözüm:

```
`timescale 1ns / 1ps

module testModulu(input [1:0] in1, input [1:0] in2, input [1:0] ctrl, output reg [4:0]
out);

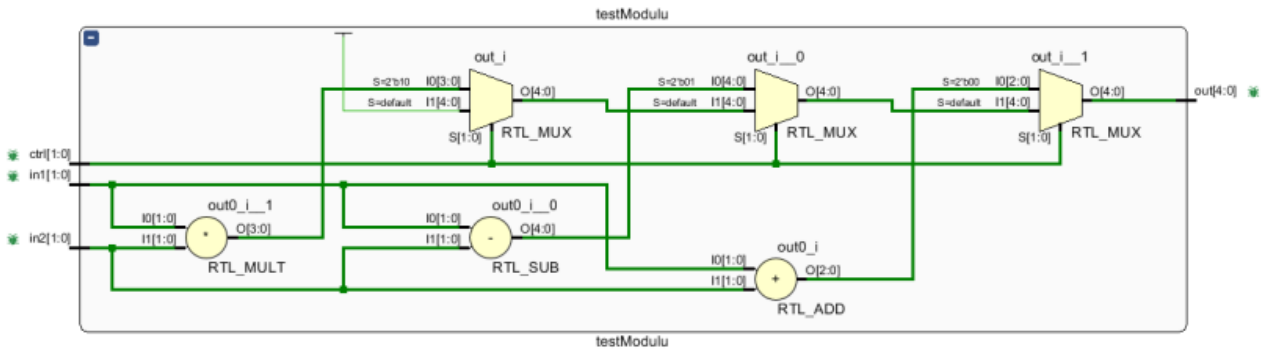
    always@(*) begin
        if(ctrl==0)
            out = in1 + in2;
        else if(ctrl==1)
            out = in1 - in2;
        else if(ctrl == 2)
            out = in1 * in2;
        else
            out = 5'b11111;
        end
    endmodule
```

Tasarımı FPGA üzerinde denemek için, switch ve LED'lere bağlanmalıdır. Ancak fiziksel olarak erişim olmadığından switch ve LED'ler sanal olarak kullanılmalıdır. Bunun için VIO IP'si kullanılarak tasarımın kontrol edilmelidir.

Name	Value	Acti...	Directi...	VIO
▼ kablo3[1:0]	[H] 2		Output	hw_vio_1
└─ kablo3[1]	1		Output	hw_vio_1
└─ kablo3[0]	0		Output	hw_vio_1
▼ kablo4[1:0]	[H] 2		Output	hw_vio_1
└─ kablo4[1]	1		Output	hw_vio_1
└─ kablo4[0]	0		Output	hw_vio_1
▼ kablo1[4:0]	[H] 06		Input	hw_vio_1
└─ kablo1[4]	●		Input	hw_vio_1
└─ kablo1[3]	●		Input	hw_vio_1
└─ kablo1[2]	●		Input	hw_vio_1
└─ kablo1[1]	●		Input	hw_vio_1
└─ kablo1[0]	●		Input	hw_vio_1
▼ kablo2[1:0]	[H] 3		Output	hw_vio_1
└─ kablo2[1]	1		Output	hw_vio_1
└─ kablo2[0]	1		Output	hw_vio_1

Şekil 2. Ctrl = 2, 3*2 = 6 sonucu gösterilmektedir.

Sentezlenen tasarımın, şematığını inceleyiniz.



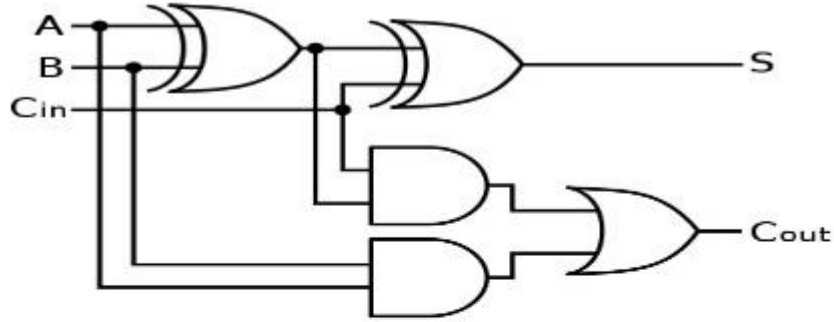
Şekil 3. Şematik Tasarım

Tasarım dosyaları:

http://levent.tc/files/courses/digital_design/labs/lab1/onAsamaCozum.rar

- 2- Aşağıda verilen devrenin Verilog ile tasarımını yaparak VIO IP'si ile FPGA'e konfigüre ederek çalıştırınız. (50 Puan)

Verilen doğruluk tablosundan değerleri giriş olarak verip, beklenen çıktı üretildiğini kontrol ediniz.



TRUTH TABLE (Full Adder - 1bit)

X	Y	Cin	Cout	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Şekil 4. Referans Tasarım

- 3- Basılan butonun bir önceki basılma zamanı ile farkını 32 bitlik sayı olarak gösteren bir tasarım geliştiriniz. Bu farkı VIO IP'si kullanarak ile FPGA'e konfigürüp gözlemleyiniz. (50 Puan)