



## Fenerbahçe Üniversitesi

### BLM 202 – Bilgisayar Mimarisi

#### LAB 3: Bellekler

**Önemli Not:** Aşamaları tamamladıkça, dersin hocası veya asistanı yanınıza çağırarak, tamamladığınız aşamayı gösterdikten sonra diğer aşamaya geçiniz.

#### **LAB Hakkında:**

Verilog Dili ile kombinasyonel ve ardışık devre uygulamaları yapılacaktır.

Üniversitede 5 adet FPGA kartı online eğitim için sunucuya bağlanmıştır.

Sunucudaki FPGA'lere

- 10.18.0.136::3121
- 10.18.0.136::3122
- 10.18.0.136::3123
- 10.18.0.136::3124
- 10.18.0.136::3125

Adreslerinden erişilebilir. FPGA'lere erişim gösterilecektir.

Yapılacak tasarımlar online eğitim nedeniyle, FPGA'lerin üzerindeki butonlara basıp, LED'leri gözlemlemek mümkün değildir.

Dolayısıyla bunu dolaylı olarak mümkün kılmak için, yapılacak tasarımlarda Xilinx'in VIO (Virtual Input Output) IP'si de birlikte kullanılacaktır.

LAB'ın aşamaları ve puanlar:

1- Xilinx IP Repo'su kullanarak 8 bitlik genişliğinde 16 derinliğinde bir FIFO üretiniz.

Bu FIFO'nun yazma tarafına her 2 sn'de birSwitch'lerdeki değeri yazan bir tasarım yapınız. FIFO'nun okuma tarafında okuma aktif sinyalini bir butona ve okunan değeri LED'lere veriniz.

FIFO'nun overflow underflow durumlarını denemeler yaparak gözlemleyiniz. (50 Puan)

2- Aşağıda bir 8 bitlik bir pattern verilmektedir. Bu pattern'i Xilinx'in IP reposundan Block Memory Generator IP'si kullanarak başlangıç içeriği olarak yükleyiniz.

Her cycle'da bir oluşturulmuş block RAM'in adreslerini gezerek, okunan pattern'i LED'lerde gösteriniz. (50 Puan)

```
* _ _ _ _ _ *
- * _ _ _ _ * -
-- * _ _ _ * --
--- * * _ _ _
-- * * * * _ _
_ * * * * * _
-- * * * * _ _
--- * * _ _ _
-- * _ _ _ * _
- * _ _ _ _ * -
* _ _ _ _ _ *
```