



Fenerbahçe Üniversitesi
BLM 202 – Bilgisayar Mimarisi
RISC-V Tabanlı İşlemci Tasarımı
Proje İçeriği

Veriliş Tarihi: 1.4.2021

Teslim Tarihi ve Yeri 1.05.2021, Ders Saatlerinde, Ders Sınıfında ve Elektronik olarak

1. Tanım:

Bu proje kapsamında başlangıç tasarımı verilen bir RISC-V işlemcisinin ALU ve instruction decoder blokları temel SystemVerilog dili özellikleri kullanılarak tasarım ve doğrulama çalışmaları yapılacaktır.

2. Proje Ekibi:

Proje 4 kişilik ekiplerden oluşacaktır. Her bir proje ekibinin bir sorumlusu olacaktır. Öğrenciler 4 kişilik kendi proje ekiplerini ve proje sorumlusunu belirlemelidirler.

Ekiplerin kurulması ve proje sorumlusunun belirlenmesi en geç **15.4.2021** tarihine kadar tamamlanmalıdır. Ekip sorumluları, Teams'te açılmış olan "Proje Ekip Sorumluların Takımlarını Bildirmesi" başlığının altına, ekip üyelerinin isimlerini göndermelidirler.

3. Proje LAB'ı:

Proje'nin bir kısmının gerçekleştirilmesinin nasıl olabileceği LAB esnasında yapılacaktır.

RISC-V İşlemci tasarımı SystemVerilog RTL dili ile tasarımı LAB'ı **15.4.2021** tarihinde yapılacaktır. Bu tarihe kadar RISC-V İşlemci gerçeklemeye çalışarak sorular biriktirilmelidir.

4. Kullanılacak Araçlar:

Proje kapsamında 1 araç kullanılacaktır.

4.1. Xilinx Vivado Design Suite

Xilinx Vivado Design Suite, FPGA geliştirme kartları üzerinde çalışmalar yapmak için gerekli olan tasarımı oluşturmak için kullanılmaktadır. Verilog, VHDL vb.. donanım tasarım dillerini alarak, FPGA'ye konfigüre edilebilecek (Xilinx firması FPGA'leri için .bit uzantılı dosyalar) tasarım dosyasını oluşturur.

İndirme Adresi: <https://www.xilinx.com/support/download.html>

Kurulum ve Lisanslama Video'su: <https://www.youtube.com/watch?v=yW1bJbXnbRU>

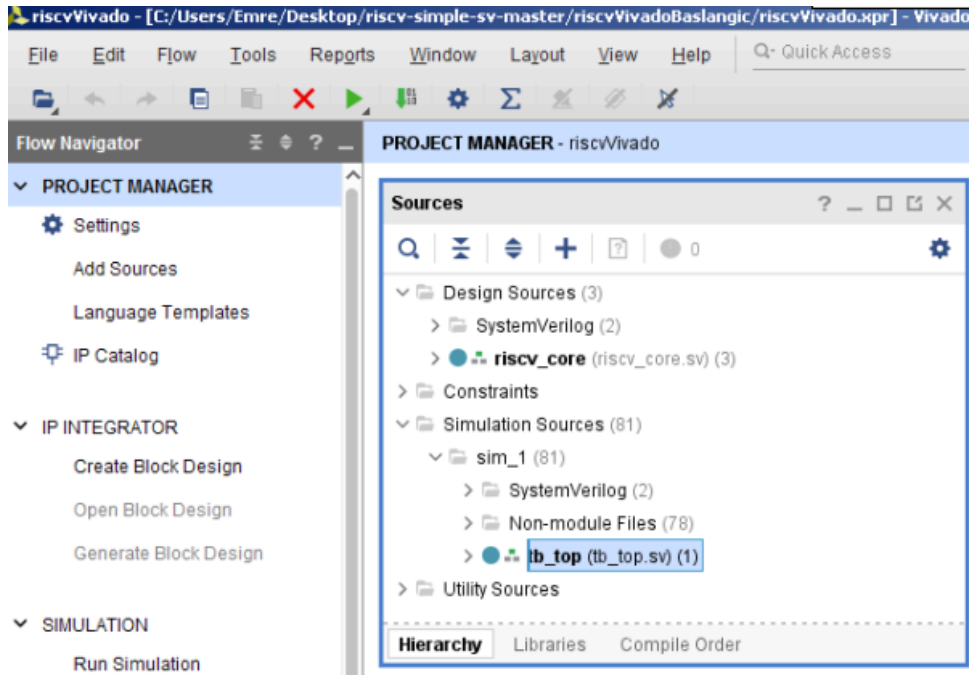
5. Tasarım Gereksinimleri

Bu başlık altında tasarlanması istenen RISC-V İşlemci tasarımı gereksinimleri verilmektedir.

Aşağıda verilen link'ten projenin başlangıç tasarımı indirilmelidir.

http://www.levent.tc/files/courses/computer_architecture/project/riscvVivadoBaslangic.rar

Proje açıldığında Şekil'de gösterilen başlangıç dosyaları görülmelidir. Design source altında başlangıç tasarımının tepe modülü olan riscv_core system verilog dosyası, simulation source bölümünde ise tb_top systemverilog dosyası bulunmaktadır.



Şekil. Vivado Başlangıç Projesi

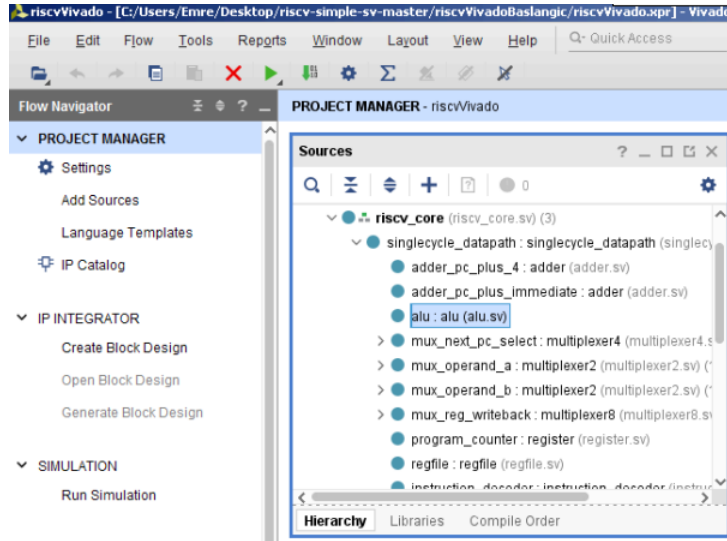
Tasarımda tanımı yapılmış ancak gerçekleştirilmesi yapılmamış modüller bulunmaktadır.

Bunlar;

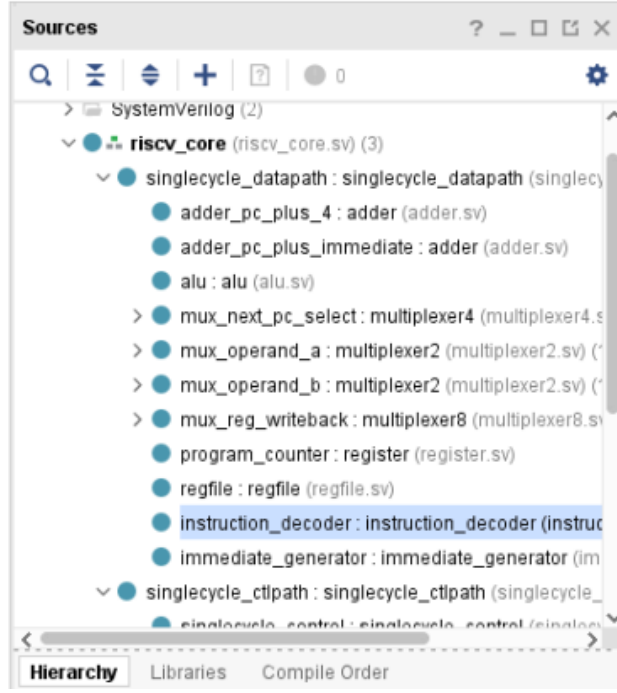
- ALU
- Instruction Decoder

modülleridir.

Aşağıdaki şekillerde bu modüllerin, proje hiyerarşisindeki konumları verilmiştir.



Şekil. ALU Konumu



Şekil. Instruction Decoder Konumu

Bu iki modülün gerçekleştirilmesi yapılacaktır.

5.1. ALU:

Aşağıda ALU ünitesinin giriş ve çıkış sinyalleri gösterilmektedir.

```
module alu (  
    input      [4:0]  alu_function,  
    input signed [31:0] operand_a,  
    input signed [31:0] operand_b,  
    output logic [31:0] result,  
    output      result_equal_zero  
);
```

İşlemcinin ALU'sunun destekleyeceği 11 adet işlem vardır. Bu işlemlerden hangisinin yapılacağı alu_function girişinden gelmektedir. İşlemlere göre a ve b sayıları, result isiminde sonuç çıkışı ve sonuç eğer sıfır ise, ayrı bir çıkış olarak sonucun sıfır olması durumunda 1 olan bir çıktı vardır.

Aşağıdaki tabloda ALU'nun desteklediği işlemler ve operasyon kodları verilmektedir.

ALU_ADD	5'b00001
ALU_SUB	5'b00010
ALU_SLL	5'b00011
ALU_SRL	5'b00100
ALU_SRA	5'b00101
ALU_SEQ	5'b00110
ALU_SLT	5'b00111
ALU_SLTU	5'b01000
ALU_XOR	5'b01001
ALU_OR	5'b01010
ALU_AND	5'b01011

Operasyonların açıklamaları aşağıda listelenmektedir.

- ADD: A + B
- SUB: A - B
- SLL: A << B
- SLR: A >> B
- SRA: A >>> B
- SEQ: A == B
- SLT: A < B
- SLTU: \$unsigned(A) < \$unsigned(B)
- XOR: A ^ B
- OR: A | B
- AND: A & B

5.2. Instruction Decoder:

Aşağıda Instruction Decoder ünitesinin giriş ve çıkış sinyalleri gösterilmektedir.

```
module instruction_decoder(  
    input [31:0] inst,  
    output [6:0] inst_opcode,  
    output [2:0] inst_func3,  
    output [6:0] inst_func7,  
    output [4:0] inst_rd,  
    output [4:0] inst_rs1,  
    output [4:0] inst_rs2  
);
```

Bu modülde giriş olarak 32 bitlik instruction word'u alınmaktadır.

Çıkışta ise instruction'un parse edilmiş hali, yani decode edilmiş hali çıkış olarak verilmektedir.

- Opcode, instruction'un ilk 7 bitini yani [6:0]'ı temsil etmekte
- Func3, instruction'un 14-12 bitleri arasını [14:12];
- Func7, instruction'un 31-25 bitleri arasını [31:25];
- Rd, instruction'un 11-7 bitleri arasını [11:7];
- RS1, instruction'un 19-15 bitleri arasını [19:15];
- RS2, instruction'un 24-20 bitleri arasını [24:20];

Buna göre instruction sinyalini parçalayarak ilgili sinyallerin üzerlerine atama yapılmalıdır.

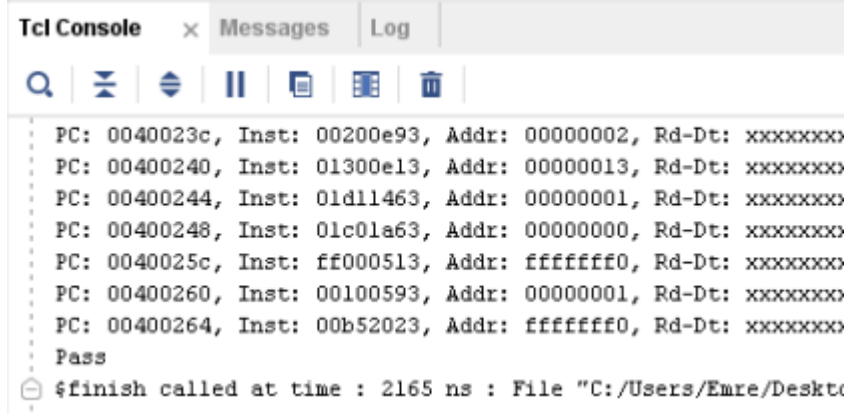
6. Proje Testi:

Projenin doğru çalıştığının test edilmesi için başlangıç test kodları verilmiştir.

Öğretim Elemanı: Dr. Vecdi Emre Levent, emre.levent@fbu.edu.tr, İzinsiz Kopyalanamaz

Test kodunda daha önceden hazırlanmış olan bir CPU test uygulamasının makine diline döndürülmüş halini, işlemciye besleyip sonucunu kontrol eden bir uygulama bulunmaktadır.

Tasarım simülasyonu başlatılıp play tuşuna basıldığında, en fazla 10000 cycle bekleyip, sonuç hesaplanmış ise aşağıdaki şekilde görülebilen pass çıktısını vermektedir. Aksi takdirde fail çıktısı verecektir.



```
Tcl Console x Messages Log
[Icons: Search, Refresh, Stop, Run, Copy, Paste, Delete]
PC: 0040023c, Inst: 00200e93, Addr: 00000002, Rd-Dt: xxxxxxxx
PC: 00400240, Inst: 01300e13, Addr: 00000013, Rd-Dt: xxxxxxxx
PC: 00400244, Inst: 01d11463, Addr: 00000001, Rd-Dt: xxxxxxxx
PC: 00400248, Inst: 01c01a63, Addr: 00000000, Rd-Dt: xxxxxxxx
PC: 0040025c, Inst: ff000513, Addr: ffffffff0, Rd-Dt: xxxxxxxx
PC: 00400260, Inst: 00100593, Addr: 00000001, Rd-Dt: xxxxxxxx
PC: 00400264, Inst: 00b52023, Addr: ffffffff0, Rd-Dt: xxxxxxxx
Pass
$finish called at time : 2165 ns : File "C:/Users/Emre/Deskt
```

Şekil. Simulasyon Doğru Çalışması

7. Notlandırma ve Proje Teslimi:

Bu başlık RISC-V İşlemcisi proje teslimi ve notlandırılması hakkında bilgiler içermektedir.

7.1. Notlandırma:

Projenin **iki** ana değerlendirme kriteri vardır. Her iki kriter 50 şer puandır.

İlk kriter RISC-V İşlemcisi komutlarının (instructions) **doğru çalıştırılmasıdır**.

İkinci kriter ise **Proje Teslim Dokümanı ve Sunumdur**.

- **Proje Teslim Dokümanı:**

Öğrenciler, proje raporlarını verilen "Proje Teslim Dokümanı" 'nın içerisini doldurarak yapacaklardır.

Proje Teslim Dokümanı:

http://www.levent.tc/files/courses/computer_architecture/project/BLM202_proje_teslim_dokumani.docx

Proje teslim dokümanında, sarı işaretlenmiş olan yerleri silerek, ilgili içerikleri yazınız. Proje teslim dokümanı en az 2, en fazla 5 sayfa olmalıdır.

- **Proje Sunumu:**

Powerpoint üzerinde ortalama 5 dakika (4-6 dakika arası) sürecek bir sunum hazırlayarak kayıt etmelidirler. Kayıt işlemi, cep telefonu veya bilgisayar ekran kayıt yazılımları (Screen-Recorder, Bandicam vb...) ile yapılabilir.

Sunum, ekip üyeleri içinden biri tarafından, projenin nasıl yapıldığı, işlemcinin nasıl çalıştığı vb.. konularının powerpoint slaytları üzerinden anlatılırken kaydedilmesi ile olmalıdır. Sunum video'sunda powerpoint slaytları okunabilir ve konuşmacının sesinin anlaşılır olması gerekmektedir. Powerpoint slayt görünüm tasarımı istenildiği gibi yapılabilir.

Proje ekibinin tamamı, notlarını bu değerlendirmeye göre alırlar.

7.2. Teslim:

Projenin teslimi için aşağıdaki adımların gerçekleştirilmesi gerekmektedir. İstenen dosyaları sadece proje ekip sorumlusunun getirmesi, Blackboard ve Github (Çok yaygın bir açık kaynak kod paylaşım platformudur)'a yüklemelidir.

Proje ekip sorumlusunun Blackboard üzerinden açılmış olan "Proje Teslim" sayfasına aşağıdaki dosyaların yüklenmesi gerekmektedir.

- SystemVerilog RTL Tasarım (Tamamlanmış RTL dosyaları .v uzantılı)
- Hazırlanan powerpoint sunum dosyası (.ppt uzantılı dosya)
- Proje Teslim Dokümanı (Word formatında yüklenmelidir)
 - Dokümanın alt başlıkları doldurulmalıdır
 - Kaydedilen powerpoint sunum video'su youtube'a yüklenip, adresi, dokümanın sonuçlar bölümündeki açılmış yere link'i yazılmalıdır (Video'nun herkes'e görünür olmamasını istiyorsanız, youtube'a yükledikten sonra liste dışı seçeneğini seçerek, sadece link'e sahip olan kişilerin görmesini sağlayabilirsiniz).
 - Teams'e yüklenen tüm dosyalar (Tamamlanmış RTL tasarım, ppt uzantılı sunum dosyası ve Proje Teslim Dokümanını (PDF formatında)), github.com sitesine üye olup, yüklenip, dokümanın sonuçlar bölümündeki yere link'i yazılmalıdır.