



Fenerbahçe Üniversitesi

BLM 201 – Mantıksal Sistem Tasarımı

Ödev 3: Doğrulama Yaklaşımları

Ödev Veriliş Tarihi:

Ödev Teslim Tarihi ve Yeri: Ders Saatlerinde, Ders Sınıfında

Not: Tasarımlarınızı Horizon sayfası üzerinden FPGA'lere bağlanıp VIO IP'si ile deneyebilirsiniz.

Soru 1:

yukariSayac isminde bir modül tasarlanacaktır. Bu modül giriş olarak clk isimli bir Clock sinyali almakta ve çıkış olarak 7 bitlik seg ve 4 bitlik an isimli sinyalleri çıkartmaktadır. Modülün yapacağı işlem, bir önceki aşamada yapılan bekleme modülünü de kullanarak her bir Clock cycle'da 0-3 (0 1 2 3 0 1 2 ...) arasında sayıları ardışık olarak sevenSegment'te göstermektir. Bunun için aşağıdaki şekilde verilmiş sevenSegment LED'lerini aktif edip istenen sayıyı yazdırınız.

Modül tasarımı gerçekleştirildikten sonra simülasyon üzerinde doğrulamak için testbench hazırlanmalıdır. Hazırlanan testbench ile modül test edilmelidir. Simulasyon ortamında üretilen 0-3 arasındaki sevenSegment lamba değerlerinin ekran görüntüsünü ödev çözümü olarak yükleyiniz.

Not 1: Lütfen sorularınız olduĐunda dersin piazza sayfası üzerinden irtibat kurun.

Not 2: Ödev el yazınız ile veya bilgisayar çıktısı olabilir.

Not 3: Ödev kâĐıdınızda adınız soyadınız, okul numaranız ve kaçınıcı ödev olduĐu yer almalıdır.

Not 4: Lütfen akademik dürüstlük kurallarına uyun (Ders'in sayfasında kurallar bulunuyor).