



Fenerbahçe Üniversitesi

BLM 201 – Mantıksal Sistem Tasarımı

Ödev 4: Durum Makinaları

Ödev Veriliş Tarihi:

Ödev Teslim Tarihi ve Yeri: Ders Saatlerinde, Ders Sınıfında

Not: Tasarımlarınızı Horizon sayfası üzerinden FPGA'lere bağlanıp VIO IP'si ile deneyebilirsiniz.

Soru 1:

Aşağıda Mealy Durum Makinası metodolojisi ile kodlanmış bir durum makinası Verilog RTL'i vardır.

```
module odev1 (CLK, reset, in, out);

    input CLK, reset, in;
    output out;

    reg out;
    reg state, next_state;

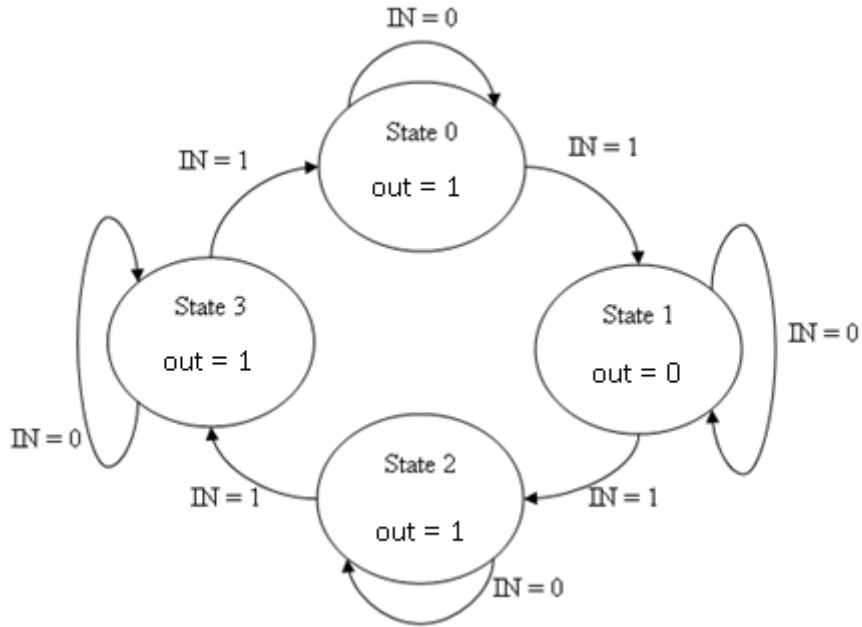
    always@(posedge CLK)
        state <= next_state;

    always @(*) begin
        case (state)
            0: begin
                out = 0;
                if (in) next_state = 1;
                else next_state = 0;
            end
            1: begin
                if (in) begin
                    next_state = 1;
                    out = 1;
                end else begin
                    next_state = 0;
                    out = 0;
                end
            end
        endcase
    end
endmodule
```

Verilen Verilog tasarımı durum makinasının, bubble diagram karşılığını çiziniz.

Soru 2:

Aşağıda bubble diagramı verilen durum makinasının Verilog tasarımını gerçekleyiniz.



Not 1: Lütfen sorularınız olduđunda dersin piazza sayfası üzerinden irtibat kurun.

Not 2: Ödev el yazınız ile veya bilgisayar çıktısı olabilir.

Not 3: Ödev kâğıdınızda adınız soyadınız, okul numaranız ve kaçınıcı ödev olduđu yer almalıdır.

Not 4: Lütfen akademik dürüstlük kurallarına uyun (Ders'in sayfasında kurallar bulunuyor).