



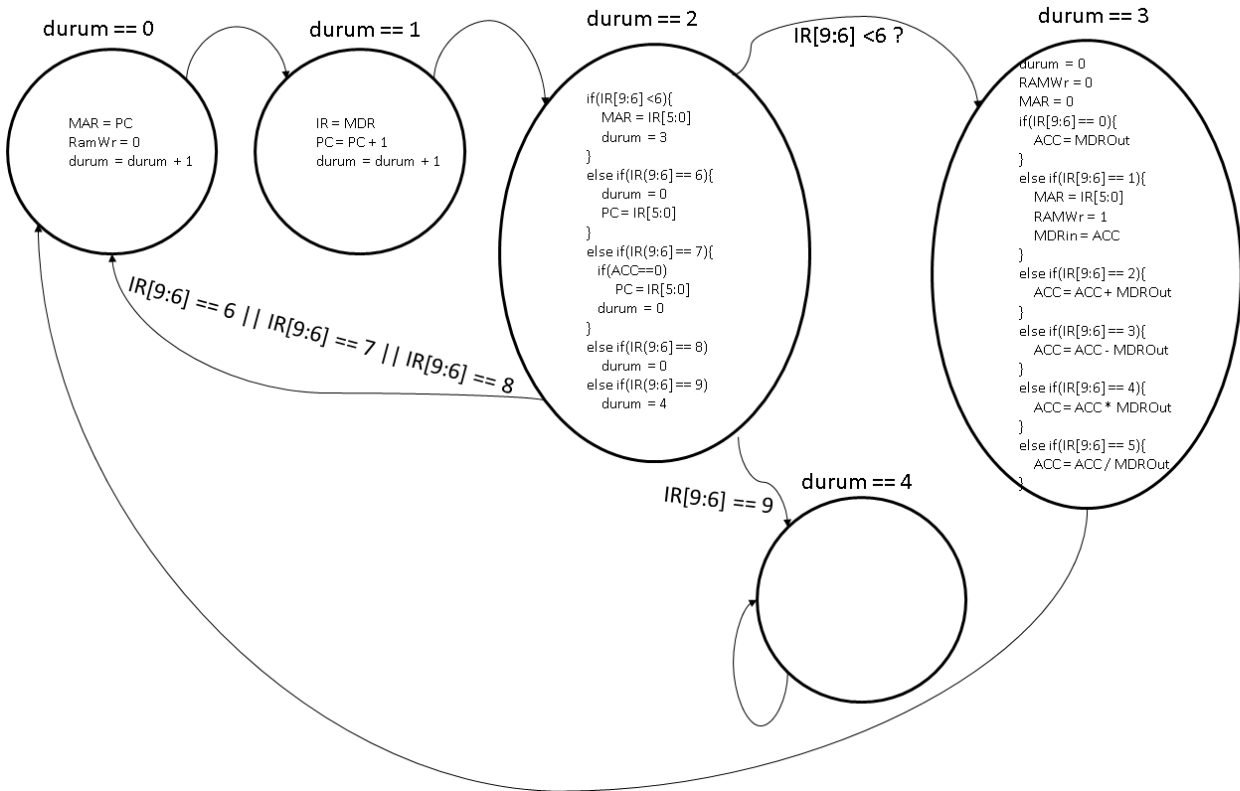
**Fenerbahçe Üniversitesi**  
**BLM 201 – Mantıksal Sistem Tasarımı**  
**Ödev 5: FB-CPU**  
**Ödev Veriliş Tarihi:**

**Ödev Teslim Tarihi ve Yeri: Ders Saatlerinde, Ders Sınıfında**

**Not:** Tasarımlarınızı Horizon sayfası üzerinden FPGA'lere bağlanıp VIO IP'si ile deneyebilirsiniz.

**Soru 1:**

Aşağıda FB-CPU'nun durum diyagramı verilmektedir.



durum == 3'te tanımlanmış olan;

durum = 0

RAMWr = 0

MAR = 0

Atamalarını işlemcinin verilog tasarımında gerçekleřtiriniz. İşlemci bu hali ile, ACC ve RAM'e bir deęer yazamasa da programın geri kalan kısımlarını yürütebilir hale gelecektir.

**Soru 2:** Durum == 4'te Halt işlemleri yapılmaktadır. İşlemcinin bu duruma girdiğinde nasıl davranacağını ve saklayıcılarının deęerlerinin ne olacağını birkaç cümle ile açıklayınız.

**Not 1:** Lütfen sorularınız olduğunda dersin piazza sayfası üzerinden irtibat kurun.

**Not 2:** Ödev el yazınız ile veya bilgisayar çıktısı olabilir.

**Not 3:** Ödev kâğıdınızda adınız soyadınız, okul numaranız ve kaçınıcı ödev olduğu yer almalıdır.

**Not 4:** Lütfen akademik dürüstlük kurallarına uyun (Ders'in sayfasında kurallar bulunuyor).