



Fenerbahçe Üniversitesi

BLM 201 – Mantıksal Sistem Tasarımı

LAB 2: Ardışık Devreler

Önemli Not: Aşamaları tamamladıkça, dersin hocası veya asistanı yanınıza çağırarak, tamamladığınız aşamayı gösterdikten sonra diğer aşamaya geçiniz.

LAB Hakkında:

Verilog Dili ile ardışık devre uygulamaları yapılacaktır.

Üniversitede 5 adet FPGA kartı online eğitim için sunucuya bağlanmıştır.

Sunucudaki FPGA'lere

- 10.18.0.136::3121
- 10.18.0.136::3122
- 10.18.0.136::3123
- 10.18.0.136::3124
- 10.18.0.136::3125

Adreslerinden erişilebilir. FPGA'lere erişim gösterilecektir.

Yapılacak tasarımlar online eğitim nedeniyle, FPGA'lerin üzerindeki butonlara basıp, LED'leri gözlemlemek mümkün değildir.

Dolayısıyla bunu dolaylı olarak mümkün kılmak için, yapılacak tasarımlarda Xilinx'in VIO (Virtual Input Output) IP'si de birlikte kullanılacaktır.

LAB'ın aşamaları ve puanlar:

1- Ön aşamalar (0 Puan)

Horizon sayfası üzerinden Üniversite'ye bağlanınız.

Vivado tasarım aracında, XC7A35Tcpg236-1 (Basys 3) cihazı için boş bir proje açınız.

Basys3 için hazırlanmış kısıt dosyasını indirip projenize ekleyiniz.

http://levent.tc/files/courses/digital_design/labs/basys3.xdc

clk, rst isimli birer bitlik giriş ve 16 bitlik çıkışı LED isimli çıkış barındıran ledYoneticisi isimli bir modül gerçekleştirilecektir.

Bu modüle gelen rst sinyali aktif olduğunda 16 bitlik LED sinyallerinin değeri 16'b1000000000000000 olacaktır. Yani sadece en sağdaki LED yanacak diğerleri sönecektir.

Rst sinyaline basılmıyorken, LED'lerin her clock cycle'da bir sağa ilerleyen bir tasarım yapınız.

```
X 0 0 0 ...  
0 X 0 0 ...  
...  
0 0 0 0 ... X  
X 0 0 0 ....
```

FPGA'in üzerindeki Clock 100 MHz olduğu için tasarım çalıştığında gözün görmesi için çok hızlı olacağından tüm LED'ler yanıyor gibi gözükülecektir.

2- Bekleme Modülü (50 Puan)

Ön aşamada verilen tasarımın gözle görülebilir hale gelmesi için daha yavaş çalışması gerekmektedir. Bunun için bekleme isminde bir modül tasarlanacaktır. Bu modül giriş olarak clk, rst sinyalleri ve çıkış olarak tamam isminde bir sinyal üretecektir.

Bekleme modülü aldığı Clock girişinin 100 milyon adet yükselen kenarını saydıktan sonra tamam sinyalini sadece 1 cycle için 1 yapıp 0'a çekecek ve sonra tekrar 100 milyon cycle bekleyerek 1 yaparak tekrar eden bir yapı oluşmalıdır.

Ön aşamada her cycle'da hareket eden tasarım bekleme isimli modülün tamam isimli sinyali 1 oldukça hareket edecek şekilde modifiye edilmelidir. Bu yaklaşım ile LED'lerin hareketi gözle görülebilir bir hıza indirgenecektir.

3- Yukarı Sayaç (50 Puan)

yukariSayac isminde bir modül tasarlanacaktır. Bu modül giriş olarak clk isimli bir Clock sinyali almakta ve çıkış olarak 7 bitlik seg ve 4 bitlik an isimli sinyalleri çıkartmaktadır. Modülün yapacağı işlem, bir önceki aşamada yapılan bekleme modülünü de kullanarak her saniyede bir 0-3 (0 1 2 3 0 1 2 ...) arasında sayıları ardışık olarak sevenSegment'te göstermektir. Bunun için aşağıdaki şekilde verilmiş sevenSegment LED'lerini aktif edip istenen sayıyı yazdırınız. Not: Basys3 üzerinde kullanılan Basys3 anot özellikte bir elemandır. Yani üzerine beslenecek 0 değeri aktif, 1 değeri ise LED'leri söndürecek.

