



Fenerbahçe Üniversitesi

BLM 201 – Mantıksal Sistem Tasarımı

LAB 6: FBCPU

Önemli Not: Aşamaları tamamladıkça, dersin hocası veya asistanı yanınıza çağırarak, tamamladığınız aşamayı gösterdikten sonra diğer aşamaya geçiniz.

LAB Hakkında:

Verilog Dili ile FBCPU RTL tasarımı konusunda uygulamalar yapılacaktır.

Üniversitede 5 adet FPGA kartı online eğitim için sunucuya bağlanmıştır.

Sunucudaki FPGA'lere

- 10.18.0.136::3121
- 10.18.0.136::3122
- 10.18.0.136::3123
- 10.18.0.136::3124
- 10.18.0.136::3125

Adreslerinden erişilebilir. FPGA'lere erişim gösterilecektir.

Yapılacak tasarımlar online eğitim nedeniyle, FPGA'lerin üzerindeki butonlara basıp, LED'leri gözlemlemek mümkün değildir.

Dolayısıyla bunu dolaylı olarak mümkün kılmak için, yapılacak tasarımlarda Xilinx'in VIO (Virtual Input Output) IP'si de birlikte kullanılacaktır.

LAB'ın aşamaları ve puanlar:

1- Ön aşamalar (0 Puan)

Horizon sayfası üzerinden Üniversite'ye bağlanınız.

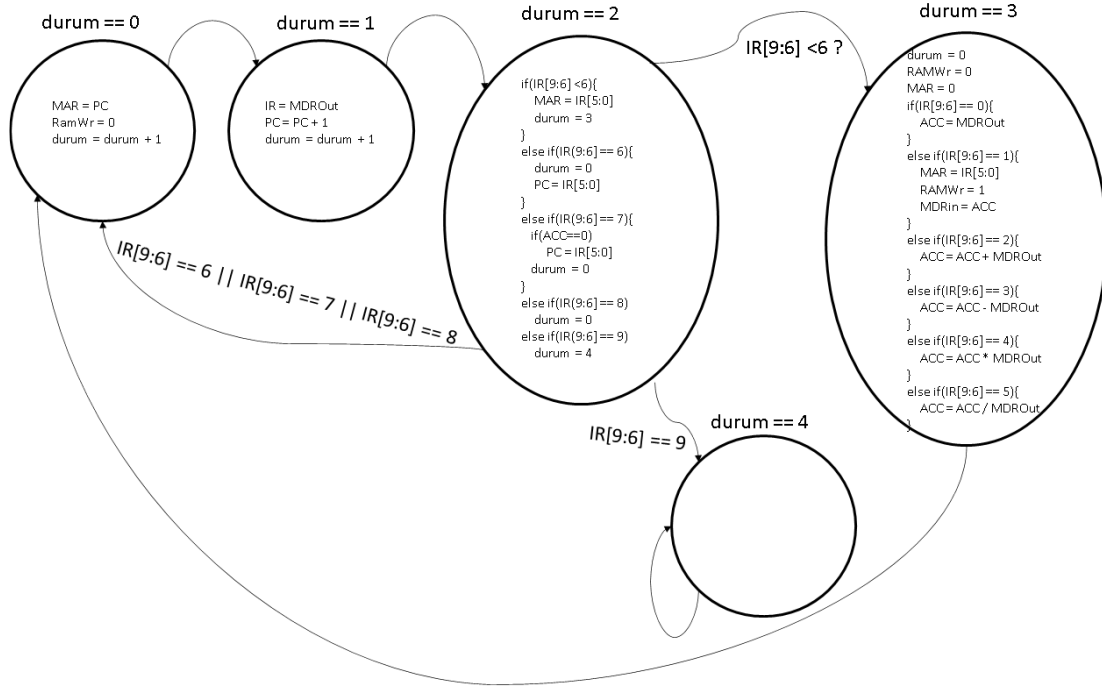
Vivado tasarım aracında, XC7A35Tcpg236-1 (Basys 3) cihazı için boş bir proje açınız.

Aşağıda verilen linkten projenin başlangıç referans kodlarını indirip, projeye ekleyiniz.

http://www.levent.tc/files/courses/digital_design/project/fbcpu_baslangic.rar

tb_fbcpu.v dosyasını testbench tepe modülü olarak seçip, simülasyonu başlatınız.

Tasarımda aşağıda verilen durum makinası gösteriminin ilk iki durumu gerçekleşmiştir.



Tasarımda ilk iki durum yürütülürken ilerleyişini gözlemleyiniz.

2- Durum 2 Gerçeklemesi (100 Puan)

Aşağıda verilen durum 2'nin gerçeklemesini yapıp simülasyon üzerinden gözlemleyiniz.

```
if(IR[9:6] < 6){  
MAR = IR[5:0]  
durum = 3  
}  
else if(IR[9:6] == 6){  
durum = 0  
PC = IR[5:0]  
}  
else if(IR[9:6] == 7){  
if(ACC==0)  
PC = IR[5:0]  
durum = 0  
}  
else if(IR[9:6] == 8)  
durum = 0  
else if(IR[9:6] == 9)  
durum = 4
```