



Fenerbahçe Üniversitesi

BLM 201 – Mantıksal Sistem Tasarımı

LAB 7: SOC Konseptleri, Xilinx IPI Tasarım ve Arayüzler

Önemli Not: Aşamaları tamamladıkça, dersin hocası veya asistanı yanınıza çağırarak, tamamladığınız aşamayı gösterdikten sonra diğer aşamaya geçiniz.

LAB Hakkında:

Verilog Dili ile FBCPU RTL tasarımı konusunda uygulamalar yapılacaktır.

Üniversitede 5 adet FPGA kartı online eğitim için sunucuya bağlanmıştır.

Sunucudaki FPGA'lere

- 10.18.0.136::3121
- 10.18.0.136::3122
- 10.18.0.136::3123
- 10.18.0.136::3124
- 10.18.0.136::3125

Adreslerinden erişilebilir. FPGA'lere erişim gösterilecektir.

Yapılacak tasarımlar online eğitim nedeniyle, FPGA'lerin üzerindeki butonlara basıp, LED'leri gözlemlemek mümkün değildir.

Dolayısıyla bunu dolaylı olarak mümkün kılmak için, yapılacak tasarımlarda Xilinx'in VIO (Virtual Input Output) IP'si de birlikte kullanılacaktır.

LAB'ın aşamaları ve puanlar:

1- Ön aşamalar (0 Puan)

Horizon sayfası üzerinden Üniversite'ye bağlanınız.

Vivado tasarım aracında, XC7A35Tcpg236-1 (Basys 3) cihazı için boş bir proje açınız.

Basys3 için hazırlanmış kısıt dosyasını indirip projenize ekleyiniz.

http://levent.tc/files/courses/digital_design/labs/basys3.xdc

Xilinx'in mikroprocessor IP'si olan MicroBlaze ile tasarım yapılacaktır. Microblaze işlemcisini lojik ile haberleřtirmek için GPIO IP'si kullanılacaktır.

Sayının faktöriyelini alan bir modül geliřtirez. Giriřleri 0 ile 5 arasında olacaktır. Diđer giriřlerde ise 0 çıktıı verecektir.

Bu modülün giriřine GPIO IP'si ile veri besleyip, modülün ürettiđi çıktıyı okuyan bir tasarım geliřtirez.

2- UART Arayüzü(100 Puan)

İki adet FPGA geliřtirme kartı kullanarak aralarında UART haberleřmesi kurulacaktır.

FPGA'ler bir butona basıldıđında switch'lerindeki deđer UART üzerinden diđer FPGA'e göndereceklerdir.

UART paketini alan FPGA ise kendi LED'inde gösteren bir tasarım gerçekteřtirez.

Bu tasarımı hem Xilinx'in UART IP'si ile hem de ařađıda verilen açık kaynak RTL ile tasarlayınız.

http://levent.tc/files/courses/digital_design/labs/lab7/uart_rx_tx.rar