

Mantıksal Sistem Tasarımı – BLM 201

Hafta 14: Çoklu Clock Alanlı Tasarımlar



Fenerbahçe Üniversitesi

Metastability

- Çoklu Clock Alanlı Tasarımlar

Metastability

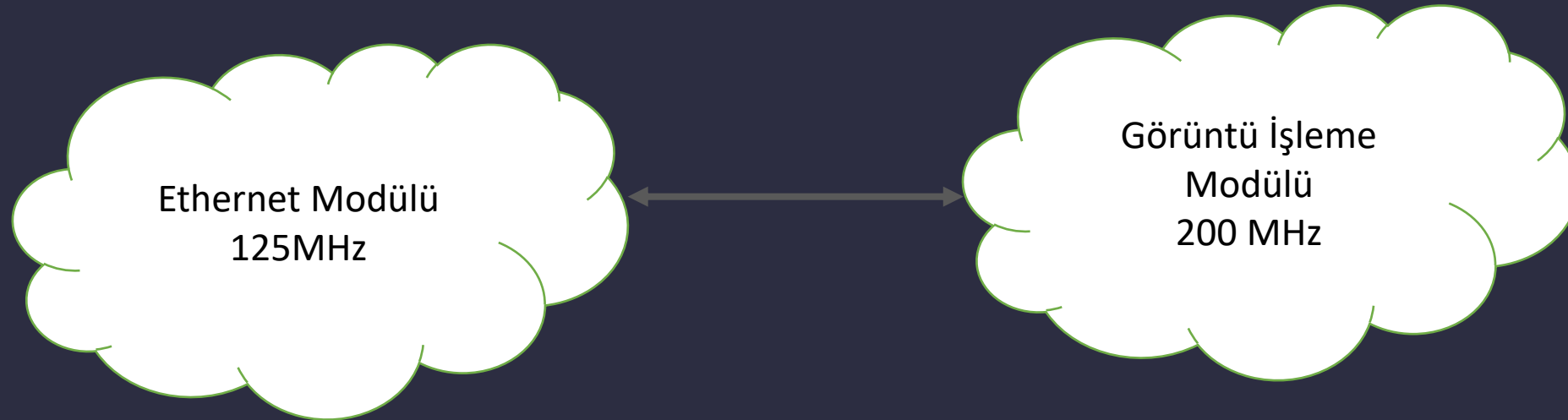
- Bu derse kadar senkron tasarım konuları işlendi
- Bir saklayıcıdan çıkış diğer bir saklayıcıya sinyal giderken, o saklayıcıların clock girişlerine aynı kaynaktan bir clock beslendi

Metastability

- Ancak bazı durumlarda tasarımda birden çok clock bulunması gerekebilir.
- Örneğin, bir ethernet üzerinden görüntü yakalanıp, yüksek bir frekansta koşan bir modülün onu işleyip, tekrar düşük frekansta ethernetten göndermesi

Metastability

- Farklı frekanslarda çalışan modüllere veri transferi



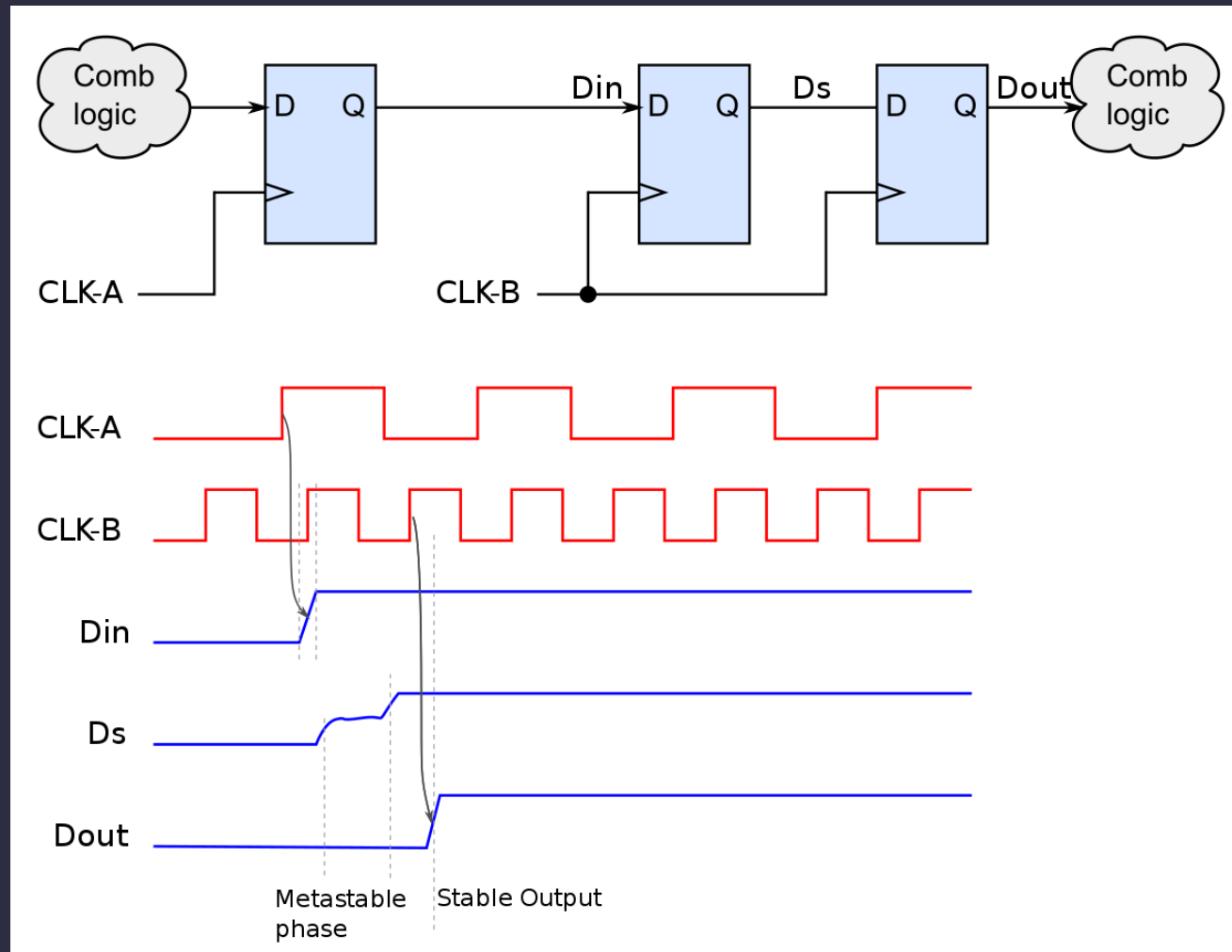
Metastability

- Bir saklayıcıdan farklı frekans veya fazda clock girişi alan diğer bir saklayıcıya veri transferi yapılacağında dikkat edilmesi gereken önemli noktalar vardır.

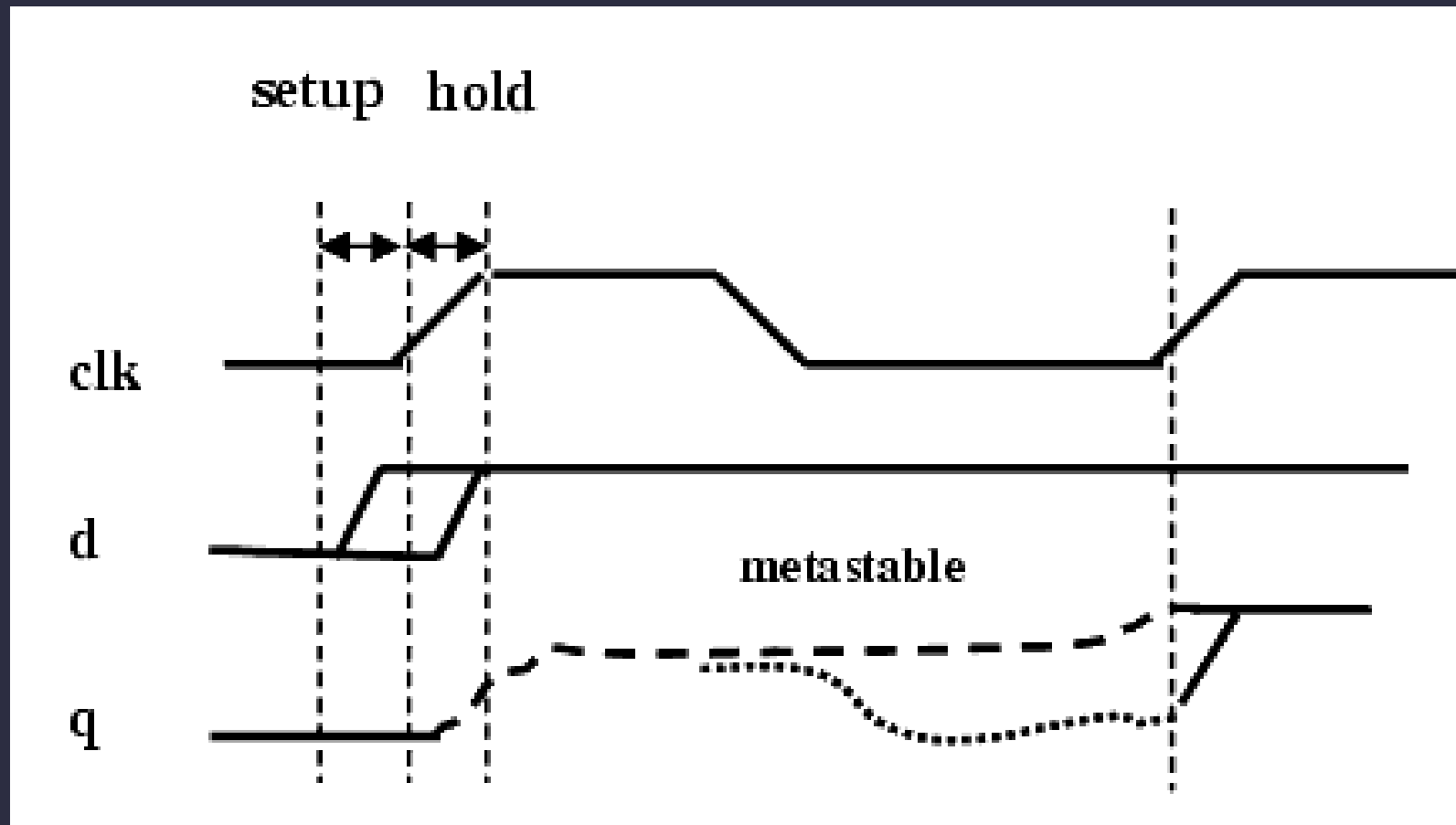
Metastability

- Dikkat edilmediği durumda metastability denen bir durum yaşanmaktadır.

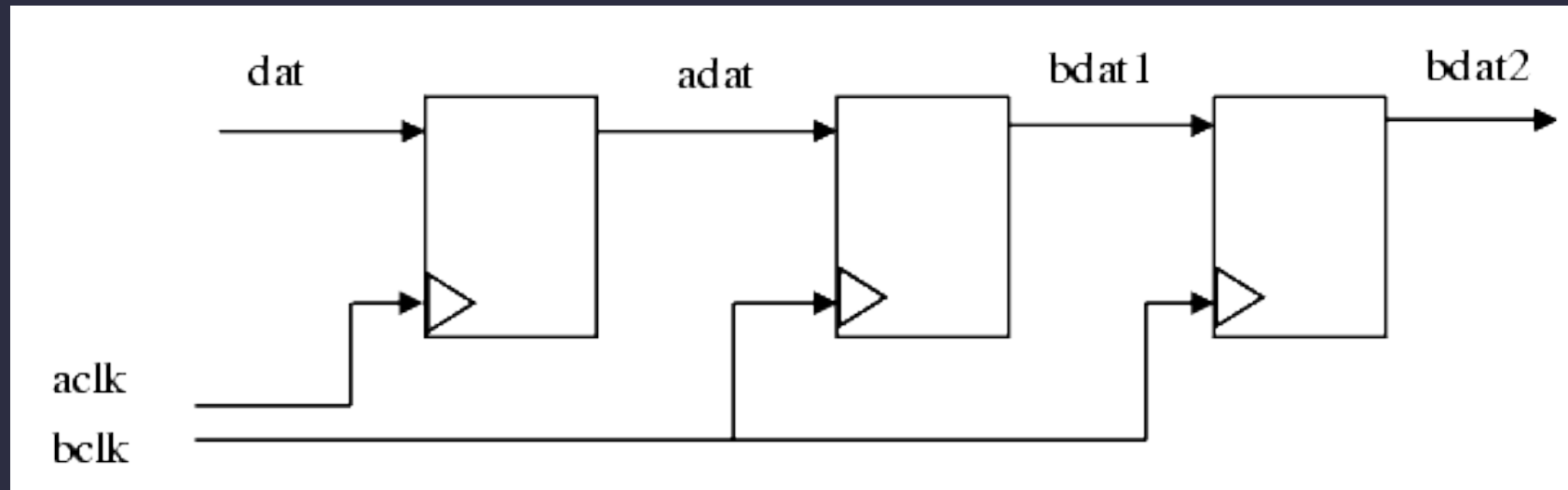
Metastability



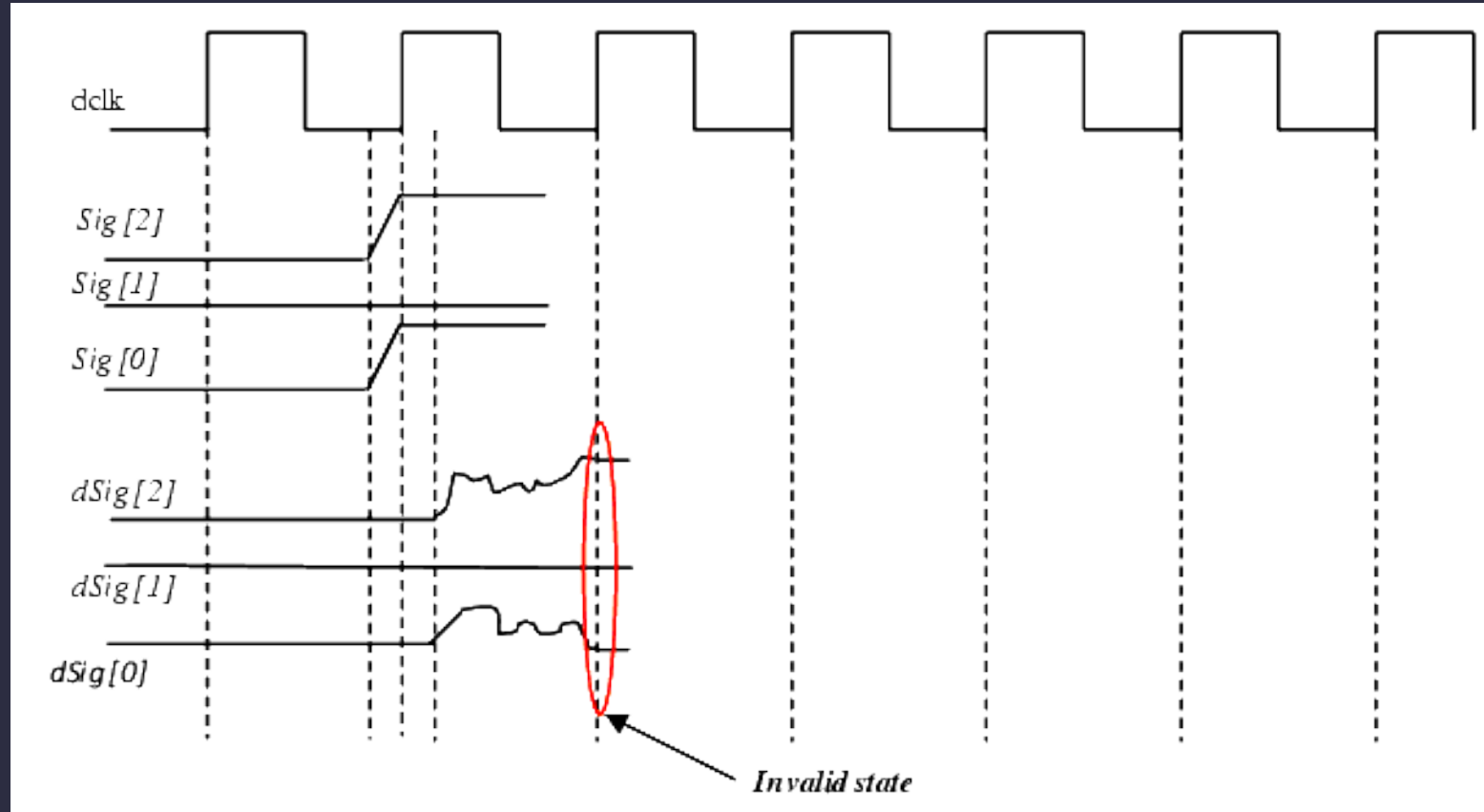
Metastability



Metastability



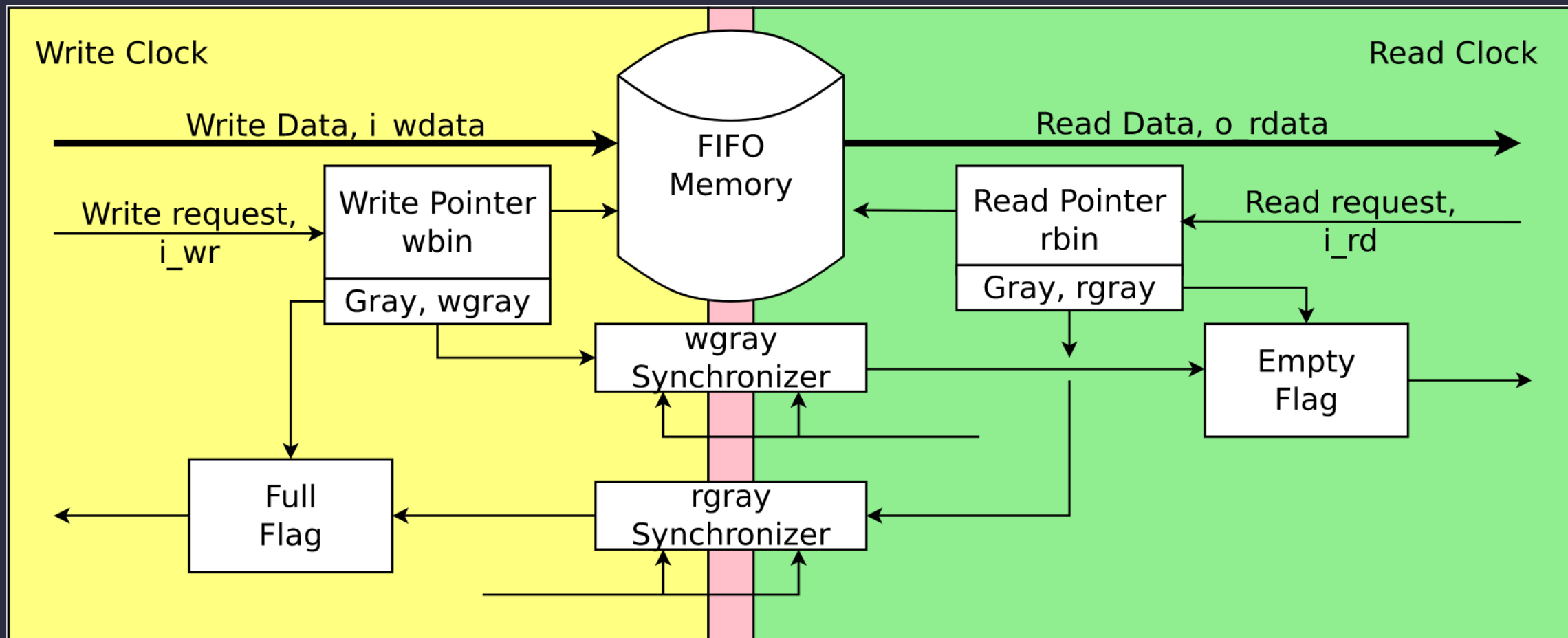
Metastability



Çoklu bit transferleri sorunu

Metastability

- Async FIFO



Metastability

- Async FIFO

