



Fenerbahçe Üniversitesi

BLM 301 – Elektronik Devreler

LAB 4: Classes

Önemli Not: Aşamaları tamamladıkça, dersin hocası veya asistanı yanınıza çağırarak, tamamladığınız aşamayı gösterdikten sonra diğer aşamaya geçiniz.

LAB Hakkında:

System Verilog Sınıflar konusu hakkında deneyler yapılacaktır.

LAB'ın aşamaları ve puanlar:

1- (100 puan) Test Sınıfı

denemeModulu isminde bir modül tasarlayınız. Bu modül sayının kübünü almalıdır. Bu modülü test edecek bir testbench geliştiriniz. Bu testbench'te testSinifi isminde bir sınıf bulunacaktır. Test sınıfı içindeki yakala fonksiyonu giris.txt dosyasından okuyup, içindeki giris ismindeki bir saklayıcıya yazmaktadır. Giris saklayıcısının değeri dosyadan okunup cycle cycle güncellenmelidir. Giris'in değeri test edilen modüle bağlanacaktır.

```
module tb;
  int    fd;                // Variable for file descriptor handle
  reg [31:0] line;         // String value read from the file

  initial begin

    fd = $fopen ("giris.txt", "r");

    while (!$feof(fd)) begin
      $fgets(line, fd);
      $display ("Line: %s", line);
    end

    // Close this file handle
    $fclose(fd);
  end
endmodule
```