



# Fenerbahçe Üniversitesi

## BLM 301 – Elektronik Devreler

### FB-CPU SystemVerilog Testbench

#### Proje İçeriği

#### 1. Tanım:

Bu proje kapsamında dijital tasarım dersinde tamamlanan FB-CPU işlemcisinin SystemVerilog dili ile otonom kontrolünü yapan bir doğrulama ortamı geliştirilecektir.

#### 2. Proje Ekibi:

Proje 4 kişilik ekiplerden oluşacaktır. Her bir proje ekibinin bir sorumlusu olacaktır. Öğrenciler 4 kişilik kendi proje ekiplerini ve proje sorumlusunu belirlemelidirler.

Ekiplerin kurulması ve proje sorumlusunun belirlenmesi en geç **23.12.2021** tarihine kadar tamamlanmalıdır. Ekip sorumluları, Blackboard'da açılmış olan "Proje Ekip Sorumluların Takımlarını Bildirmesi" başlığının altına, ekip üyelerinin isimlerini göndermelidirler.

#### 3. Kullanılacak Araçlar:

Proje kapsamında 1 araç kullanılacaktır.

##### 3.1. Xilinx Vivado Design Suite

Xilinx Vivado Design Suite, FPGA geliştirme kartları üzerinde çalışmalar yapmak için gerekli olan tasarımı oluşturmak için kullanılmaktadır. Verilog, VHDL vb.. donanım tasarım dillerini alarak, FPGA'e konfigüre edilebilecek (Xilinx firması FPGA'leri için .bit uzantılı dosyalar) tasarım dosyasını oluşturur.

İndirme Adresi: <https://www.xilinx.com/support/download.html>

Kurulum ve Lisanslama Video'su: <https://www.youtube.com/watch?v=yW1bJbXnbRU>

#### 4. Tasarım Gereksinimleri

Aşağıda testbench oluşturmak için başlangıç proje dosyaları verilmiştir.

[http://www.levent.tc/files/courses/electronic\\_devices/project/FB\\_CPU\\_SystemVerilog\\_TB\\_Baslangic.rar](http://www.levent.tc/files/courses/electronic_devices/project/FB_CPU_SystemVerilog_TB_Baslangic.rar)

tb\_fbcpu.sv FBCPU modülünü test etmektedir. Bunun için daha önceden tasarlanan FBCPU modülünüz ile birlikte proje dosyalarını Vivado aracında ekleyiniz.

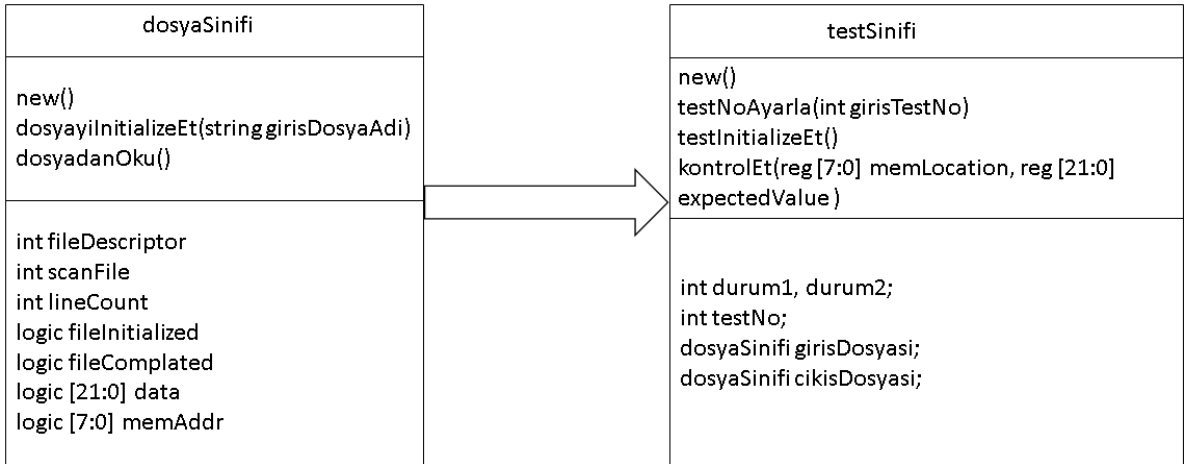
tb\_fbcpu.sv dosyasında iki adet sınıf tanımı yapılmıştır.

Bunlar;

- dosyaSinifi
- testSinifi

Bu sınıflardan objeler türetilerek initial begin bloğu içerisinde sınıfın çeşitli fonksiyon ve değişkenleri kullanılarak FBCPU test edilmektedir.

Proje kapsamında dosyaSinifi ve testSinifi isimli sınıfların boş bırakılan sınıf içerikleri doldurulacaktır. Aşağıda dosyaSinifi ve testSinifi isimli sınıfların içerdiği değişken ve fonksiyonlar verilmektedir. testSinifi isimli sınıf dosyaSinifi sınıfından kalıtım yapılmıştır.



Aşağıda dosyaSinifi isimli sınıfın fonksiyonları açıklanmıştır.

- `new()`: Constructor'dır. Tüm değişkenleri 0'a atamaktadır.
- `dosyayilInitializeEt(string girisDosyaAdi)`: Kendisine verilen string argümandaki dosya adı ile dosyayı açmaya çalışır. Dosya açıldığında geriye dönen file descriptor'u `fileDescriptor` değişkenine atar. Dosya başarılı olarak açılırsa `fileInitialized` değişkeni 1 olur, diğer durumda ise 0 olur. Fonksiyon geriye başarılı iken 1, değil iken 0 döndürür.
- `dosyadanOku()`: `fileInitialize` değişkeni 1 ise, dosyadan 1 satır okuyup bunları `memAddr` ve `data` değişkenlerine yazar. Dosyanın sonuna erişildiğinde ise `fileInitialize` değişkenini 0 yapar. Dosyadan her başarılı okunan satır için `lineCount` değişkenini bir arttırır. Başarılı okunmalarda fonksiyon geriye 1, diğer durumda ise 0 döndürür.

Aşağıda testSinifi isimli sınıfın fonksiyonları açıklanmıştır.

- new():Constructor'dır. testNo değişkenini 0'a atar ve girisDosyasi, cikisDosyasi değişkenlerini new ile initialize eder.
- testNoAyarla(int girisTestNo):testNo değişkenine girisTestNo argümanını yazar
- testInitializeEt(): Sınıfın içinde bulunan testNo değişkenin değerine göre girisDosyasi.dosyayilInitializeEt fonksiyonu ile input1, input2, input3 txt dosyalarından birini açar (örn girisDosyasi.dosyayilInitializeEt("input1.txt")) ve çıkış dosyalarından output1, output2, output3 dosyalarından birini açar. Dosyaların açılmasında sorun olursa \$finish; komutu ile simülasyonu durdurur
- kontrolEt(reg [7:0] memLocation, reg [21:0] expectedValue ):Kendisine argüman olarak verilen memLocation bilgisini kullanarak, BRAM'deki adres'e bakar. O adresteki içeriğin değeri ile expectedValue değerini karşılaştırır. Aynı ise simülasyon başarılı olarak çıktı verir, değil ise simülasyon hatalı olarak çıktı verir.

## 5. Proje Testi:

Proje kapsamında geliştirilen testbench hatalı bir FBCPU kodu ile denenerek testbench görevinin doğru yerine getirip getirmediği kontrol edilecektir.

## 6. Notlandırma ve Proje Teslimi:

Bu başlık FB-CPU SystemVerilog Testbench proje teslimi ve notlandırılması hakkında bilgiler içermektedir.

### 6.1. Notlandırma:

Proje değerlendirilirken ilk kriter geliştirilen testbench hatalı bir FB-CPU ile test edilecek ve testbench'in ilgili hatayı yakalayıp yakalayamadığı test edilecektir.

İkinci kriter ise Proje Teslim Dokümanı ve sunumdur.

- **Proje Teslim Dokümanı:**

Öğrenciler, proje raporlarını verilen "Proje Teslim Dokümanı" 'nın içerisini doldurarak yapacaklardır.

Proje Teslim Dokümanı:

[http://www.levent.tc/files/courses/electronic\\_devices/project/BLM301\\_proje\\_teslim\\_dokumani.docx](http://www.levent.tc/files/courses/electronic_devices/project/BLM301_proje_teslim_dokumani.docx)

Proje teslim dokümanında, sarı işaretlenmiş olan yerleri silerek, ilgili içerikleri yazınız. Proje teslim dokümanı en az 2, en fazla 5 sayfa olmalıdır.

- **Proje Sunumu:**

Powerpoint üzerinde ortalama 5 dakika (4-6 dakika arası) sürecek bir sunum hazırlayarak kayıt etmelidirler. Kayıt işlemi, cep telefonu veya bilgisayar ekran kayıt yazılımları (Screen-Recorder, Bandicam vb...) ile

**Öğretim Elemanı: Dr. Vecdi Emre Levent, [emre.levent@fbu.edu.tr](mailto:emre.levent@fbu.edu.tr), İzinsiz Kopyalanamaz**

yapılabilir.

Sunum, ekip üyeleri içinden biri tarafından, projenin nasıl yapıldığı, işlemcinin nasıl çalıştığı vb.. konularının powerpoint slaytları üzerinden anlatılırken kaydedilmesi ile olmalıdır. Sunum video'sunda powerpoint slaytları okunabilir ve konuşmacının sesinin anlaşılır olması gerekmektedir. Powerpoint slayt görünüm tasarımı istenildiği gibi yapılabilir.

Proje ekibinin tamamı, notlarını bu değerlendirmeye göre alırlar.

## 6.2. Teslim:

Projenin teslimi için aşağıdaki adımların gerçekleştirilmesi gerekmektedir. İstenen dosyaları sadece proje ekip sorumlusunun getirmesi, Blackboard ve Github (Çok yaygın bir açık kaynak kod paylaşım platformudur)'a yüklemelidir.

Proje ekip sorumlusunun Blackboard üzerinden açılmış olan "Proje Teslim" sayfasına aşağıdaki dosyaların yüklenmesi gerekmektedir.

- SystemVerilog Doğrulama Dosyası (Testbench dosyası .sv uzantılı)
- Hazırlanan powerpoint sunum dosyası (.ppt uzantılı dosya)
- Proje Teslim Dokümanı (Word formatında yüklenmelidir)
  - Dokümanın alt başlıkları doldurulmalıdır
  - Kaydedilen powerpoint sunum video'su youtube'a yüklenip, adresi, dokümanın sonuçlar bölümündeki açılmış yere link'i yazılmalıdır (Video'nun herkes'e görünür olmamasını istiyorsanız, youtube'a yükledikten sonra liste dışı seçeneğini seçerek, sadece link'e sahip olan kişilerin görmesini sağlayabilirsiniz).
  - Teams'e yüklenen tüm dosyalar (Tamamlanmış testbench tasarım, ppt uzantılı sunum dosyası ve Proje Teslim Dokümanını (PDF formatında)), github.com sitesine üye olup, yüklenip, dokümanın sonuçlar bölümündeki yere link'i yazılmalıdır.