

# SOC Design

## Week 4: Data Paths



Fenerbahçe University

# Professor & TAs

Prof: Dr. Vecdi Emre Levent

Office: 311

Email: [emre.levent@fbu.edu.tr](mailto:emre.levent@fbu.edu.tr)

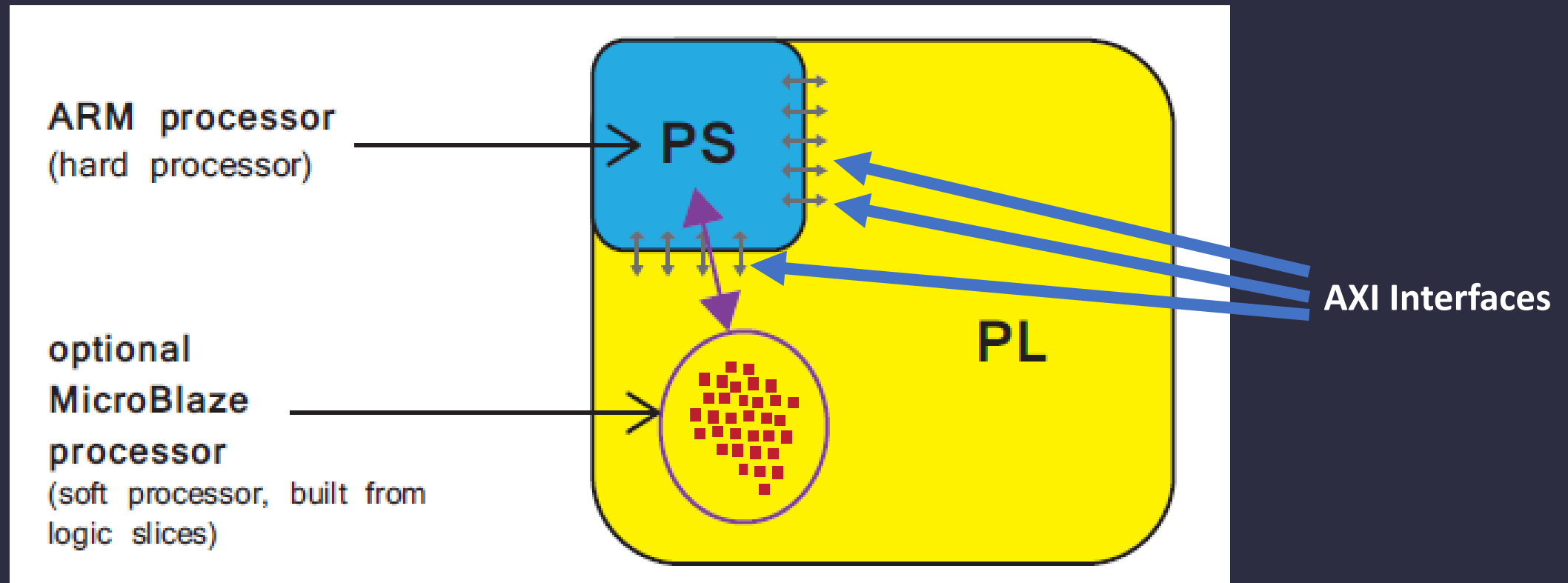
TA: Arş. Gör. Ezgi Çakmak

Office: 311

Email: [ezgi.cakmak@fbu.edu.tr](mailto:ezgi.cakmak@fbu.edu.tr)

# Data Paths

- ARM Cortex A9
- Softcore Microblaze



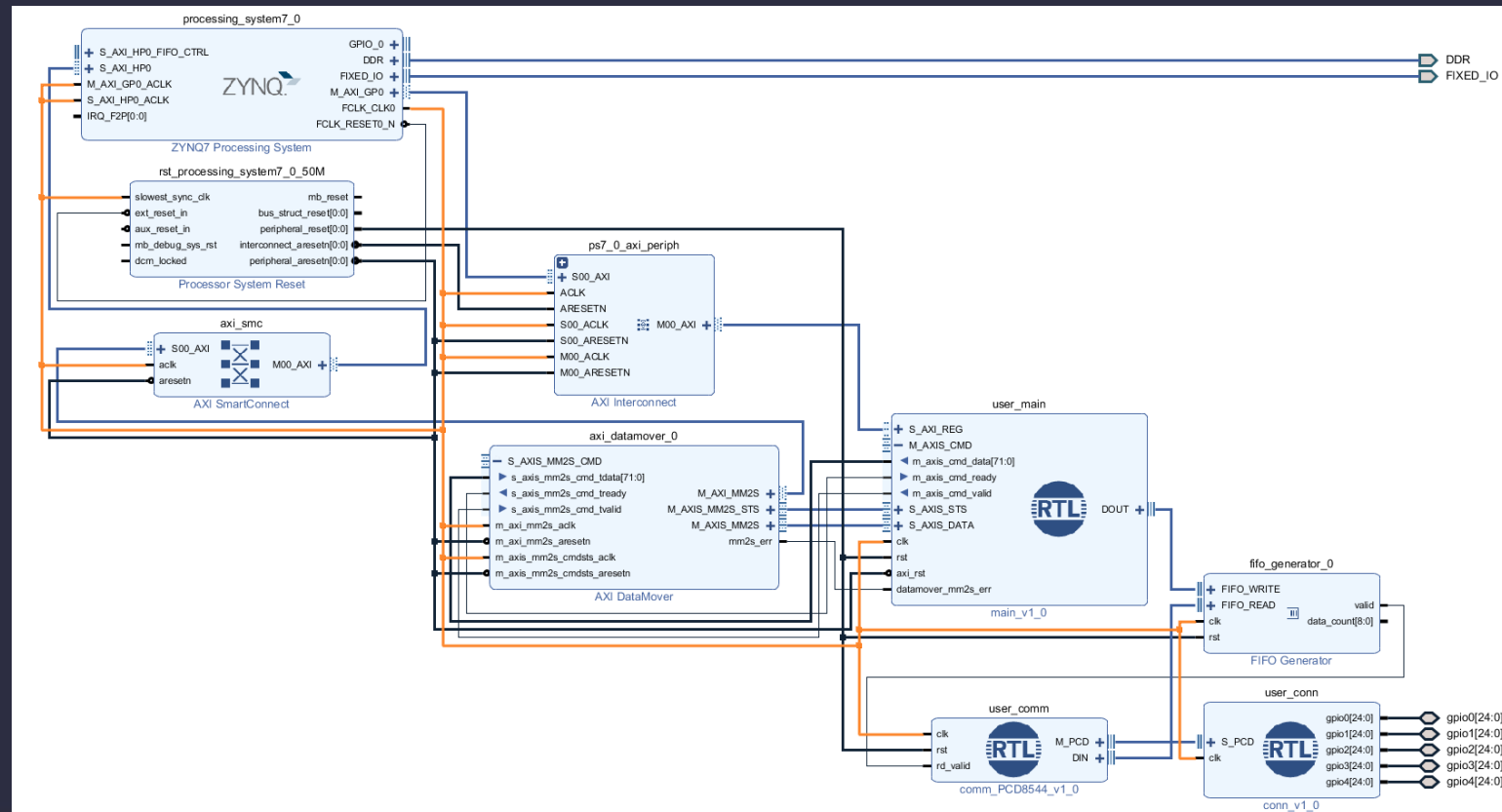
# Data Paths

- In Vivado Environment
  - Most of IPs interface
  - PL-PS connection

interfaces are AXI (The Advanced eXtensible Interface) developed by ARM

# Data Paths

- In order for an IP added in the Vivado Block Design environment to be connected with a custom RTL project, a module must be designed to communicate with the **AXI interface**.



# Data Paths

- Advantages of using AXI Interface
  - Easy integration with other IPs in the Vivado environment
  - Easy integration with other RTL project which contains AXI Interface

# Data Paths

- Vivado Environment AXI Interface Types
  - AXI4 Memory Mapped (MM): AXI4 interface is used for memory mapped and high performance data transfer needs. It allows 256 data transfers as bursts.
  - AXI4 Lite: It is memory mapped and allows a single data transmission per transfer. It is preferred for control interfaces that can operate at low speeds.
  - AXI4 Streaming Does not contain address signals and has no burst size restrictions in data transfer. It is generally preferred in applications that require high performance and in applications where there will be continuous data flow (such as camera).

# Data Paths

- Memory Mapped (MM) and Lite interfaces can be used directly PS or Microblaze CPUs
  - PS and Microblaze have AXI MM interfaces so they have logic to drive AXI signals
- When using MM, Lite or Streaming AXI Interfaces, it's very important to understand all signals that those interfaces have
- AXI interfaces have master and slave concepts. The master controls and initiates the data flow, and the slave fulfills the requests sent by the master.



# Data Paths

- Interfaces between PS and PL

| Interface Name | Interface Description                                                                       | Master | Slave |
|----------------|---------------------------------------------------------------------------------------------|--------|-------|
| M_AXI_GP0      | General Purpose (AXI_GP)                                                                    | PS     | PL    |
| M_AXI_GP1      |                                                                                             | PS     | PL    |
| S_AXI_GP0      | General Purpose (AXI_GP)                                                                    | PL     | PS    |
| S_AXI_GP1      |                                                                                             | PL     | PS    |
| S_AXI_ACP      | Accelerator Coherency Port (ACP),<br>cache coherent transaction                             | PL     | PS    |
| S_AXI_HP0      | High Performance Ports (AXI_HP) with<br>read/write FIFOs.                                   | PL     | PS    |
| S_AXI_HP1      |                                                                                             | PL     | PS    |
| S_AXI_HP2      | (Note that AXI_HP interfaces are sometimes<br>referred to as AXI Fifo Interfaces, or AFIs). | PL     | PS    |
| S_AXI_HP3      |                                                                                             | PL     | PS    |

# Data Paths

- AXI4 MM Interface



# Data Paths

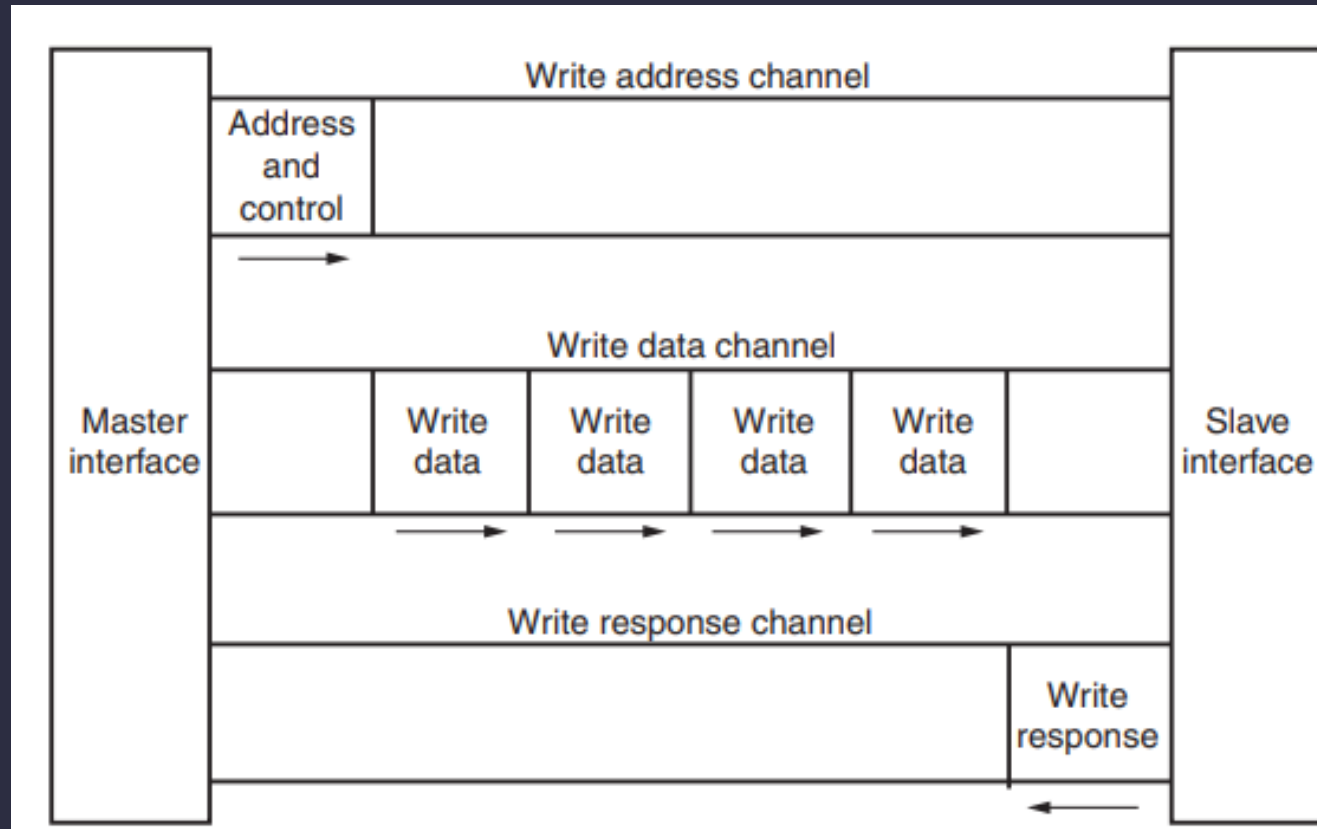
AXI4 ve AXI4-Lite arayüzlerinde 5 farklı kanal bulunmaktadır.

Bunlar :

- Yazma Veri Kanalı
- Yazma Adres Kanalı
- Yazma Tepki Kanalı
- Okuma Veri Kanalı
- Okuma Adres Kanalı

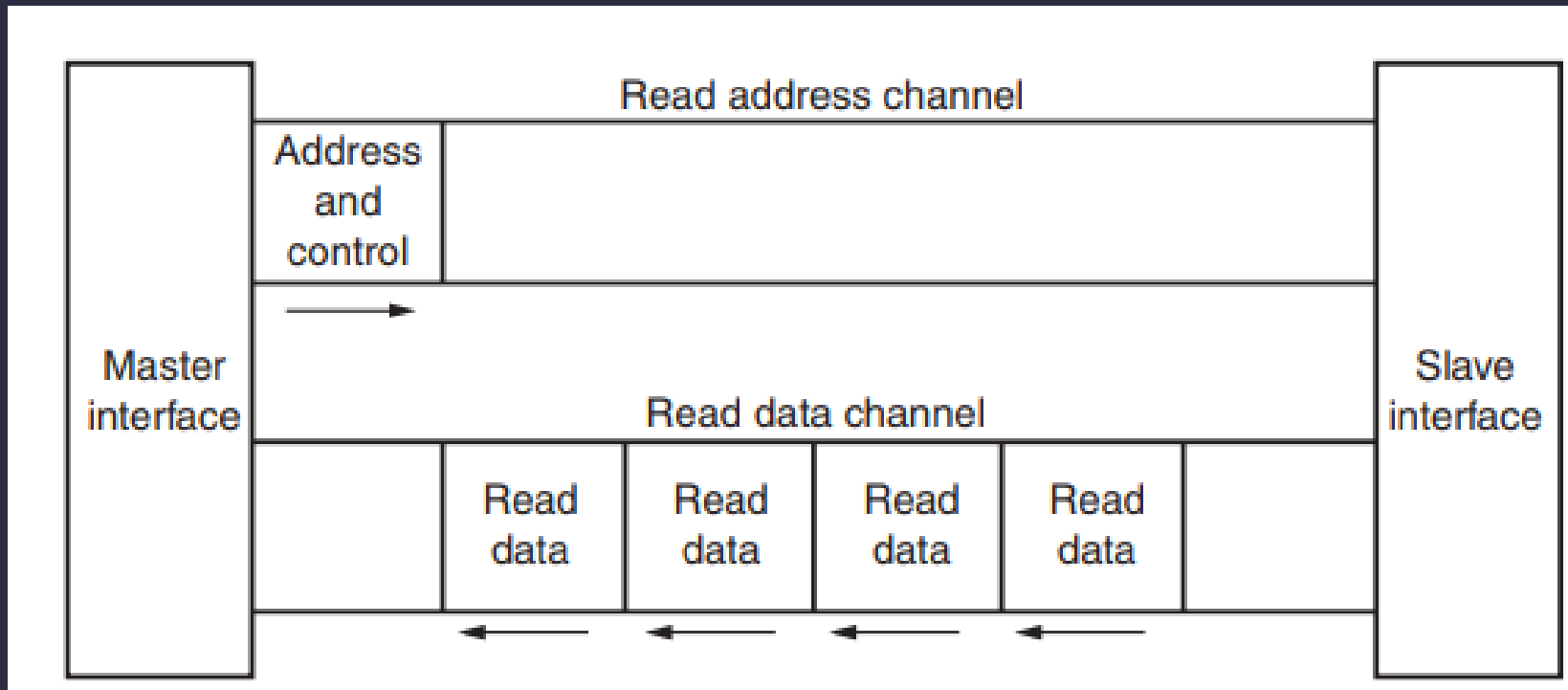
# Data Paths

- AXI4 arayüzlerinde veri transfer boyutu 1-256 arasında değişiklik göstermektedir. AXI-4 Lite'de ise her aktarımda sadece tek bir veri transferi gerçekleştirilebilir.



# Data Paths

- AXI4 arayüzlerinde veri transfer boyutu 1-256 arasında değişiklik göstermektedir. AXI-4 Lite'de ise her aktarımda sadece tek bir veri transferi gerçekleştirilebilir.



# Data Paths

AXI4 ve AXI4 Lite arayüzlerinde kullanılan sinyallerin başlangıç isimlendirmelerinden hangi kanala ait olduğu anlaşılmaktadır.

- AR\* isimlendirmeli sinyaller adres okuma kanalını,
- R\* isimlendirmeli sinyaller veri okuma kanalını,
- AW\* isimlendirmeli sinyaller adres yazma kanalını,
- W\* isimlendirmeli sinyaller veri yazma kanalını,
- B\* isimlendirmeli sinyaller yazma yanıt kanalını

ifade etmektedirler.

# Data Paths

| Sinyal  | Açıklama                                                      |
|---------|---------------------------------------------------------------|
| ACLK    | Okuma ve yazma kanallarının kullandığı ortak referans clock'u |
| ARESETN | Active-low olarak çalışır. Global reset                       |

# Data Paths

| Sinyal            | Açıklama                                                                                                                                                                                                                | AXI 4 Lite |
|-------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| AWID - ARID       | Adres ID'si, tek bir kanal üzerinden birden çok akış yapıldığında kullanılmaktadır. Örneğin iki master kanaldan, bir slave kanalına veri akışından, hangi master kanalının verisi olduğu bu sinyal ile anlaşılmaktadır. | Yok        |
| AWADDR-ARADDR     | Veri aktarımındaki başlangıç adresi                                                                                                                                                                                     | Var        |
| AWLEN-ARLEN       | Burst gönderilecek veri miktarı                                                                                                                                                                                         | Yok        |
| AWSIZE-ARSIZE     | Her bir verinin byte cinsinden büyüklüğü (Örn. 4 Byte) Encode edilmesi gerekmektedir. (Doğrudan 4 yazılamaz, ilgili tablosuna bakılmalıdır)                                                                             | Yok        |
| AWBURST-ARBURST   | 3 farklı burst türü bulunmaktadır. Fixed, Inc, Wrap                                                                                                                                                                     | Yok        |
| AWLOCK-ARLOCK     | Bir master, slave'in başka master'lar tarafından erişilebilir olmasını iptal etmek istediğinde kullanılan bir yaklaşımdır. (Xilinx tarafından gerçekleştirilmemiştir)                                                   | Yok        |
| AWCACHE-ARCACHE   | Bellek türünü ifade eder. Xilinx IP'lerinde bu özelliği Normal Mod, Modifiable, and Bufferable (0011) olarak gerçeklemiştir.                                                                                            | Yok        |
| AWPROT-ARPROT     | Protection türü, Xilinx normal mod olan 000'1 kullanmaktadır. Yazma ve okumalardaki izinleri ayarlanmaktadır.                                                                                                           | Var        |
| AWREGION-ARREGION | Fiziksel bir AXI portuna bağlanan sinyallerin, çipin içerisinde birden çok lojik AXI portuna bağlanmasına imkan sunar.                                                                                                  | Yok        |
| AWQOS-ARQOS       | Transferin QoS bitlerini tutar (Bandwidth, latench gibi...). Xilinx tarafından kullanılmamaktadır.                                                                                                                      | Yok        |
| AWUSER-ARUSER     | Kullanının tanımladığı veridir, Xilinx tarafından kullanılmamaktadır.                                                                                                                                                   | Yok        |
| AWVALID-ARVALID   | Yazılan veya okunan adresin geçerli olduğunu ifade etmektedir                                                                                                                                                           | Var        |
| AWREAD-ARREADY    | Bu sinyal slave'in adres kabul etmeye hazır olduğunu gösterir                                                                                                                                                           | Var        |



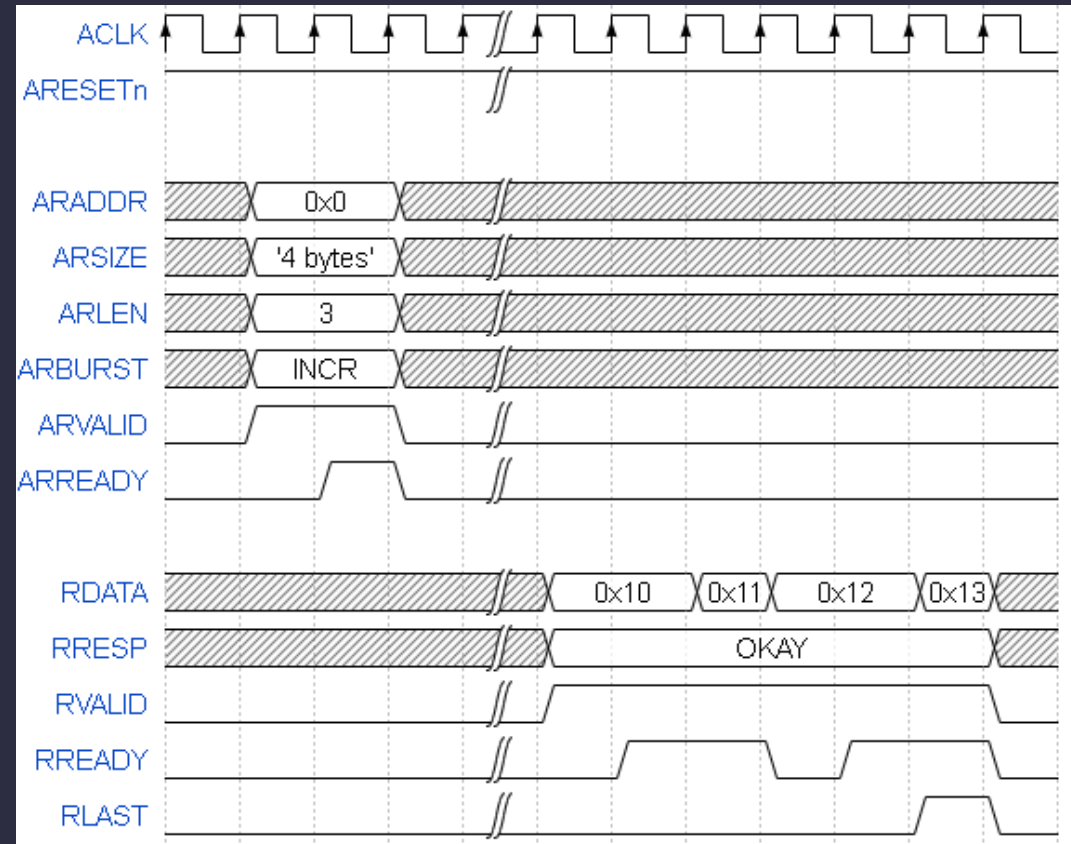
# Data Paths

| Sinyal        | Açıklama                                                                                                                                                                                                               | AXI 4 Lite |
|---------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| WDATA-RDATA   | Yazma ve Okuma verisi                                                                                                                                                                                                  | Var        |
| WLAST-RLAST   | Aktarımın son verisinin olduğunu ifade eder                                                                                                                                                                            | Yok        |
| WUSER-RUSER   | Kullanıcının tanımlı verisi, Xilinx tarafından kullanılmamaktadır.                                                                                                                                                     | Yok        |
| WVALID-RVALID | Yazılan veya okunan verinin geçerli olduğunu ifade eder                                                                                                                                                                | Var        |
| WREADY-RREADY | Veri yazılacağında slave'in hazır sinyali, veri okunacağında master'in hazır sinyalidir.                                                                                                                               | Var        |
| WSTRB         | Verinin hangi byte'larının geçerli olduğunu belirtir                                                                                                                                                                   | Var        |
| RRESP         | Şu anki okunan verinin durumunu belirtir, OK, EXOK, SLVERR, DECERR gibi dönüşleri olabilir                                                                                                                             | Var        |
| RID           | Veri ID'si, tek bir kanal üzerinden birden çok akış yapıldığında kullanılmaktadır. Örneğin iki master kanaldan, bir slave kanalına veri akışından, hangi master kanalının verisi olduğu bu sinyal ile anlaşılmaktadır. | Yok        |

# Data Paths

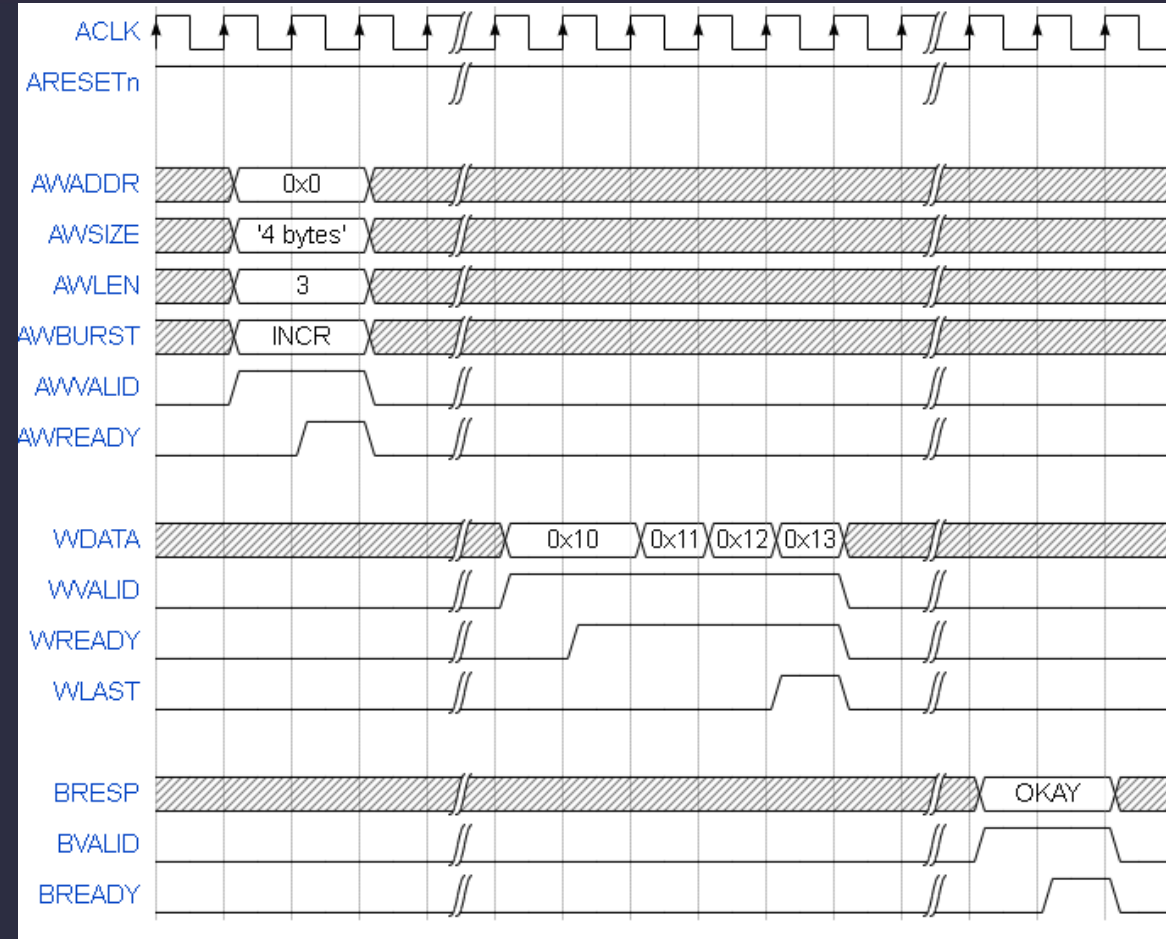
| Sinyal | Açıklama                                                                                     | AXI 4 Lite |
|--------|----------------------------------------------------------------------------------------------|------------|
| BID    | Yazma tepki ID'si. tek bir kanal üzerinden birden çok akış yapıldığında kullanılmaktadır.    | Yok        |
| BRESP  | Şu anki yazılan verinin durumunu belirtir, OK, EXOK, SLVERR, DECERR gibi dönüşleri olabilir. | Var        |
| BUSER  | Kullanıcı sinyali, Xilinx tarafından kullanılmamaktadır.                                     | Yok        |
| BVALID | Yazma tepkisinin geçerli olduğunu gösterir.                                                  | Var        |
| BREADY | Yazma tepkisinin hazır olduğunu ifade eder.                                                  | Var        |

# Data Paths



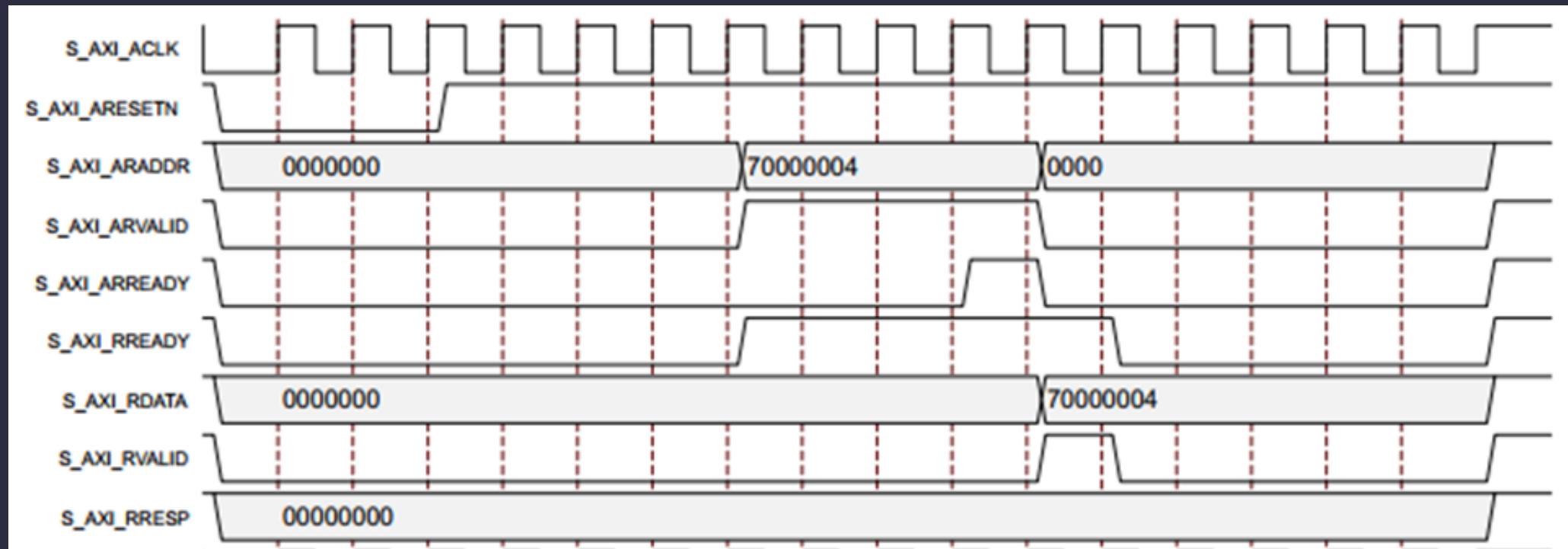
AXI4 Okuma Waveformu

# Data Paths



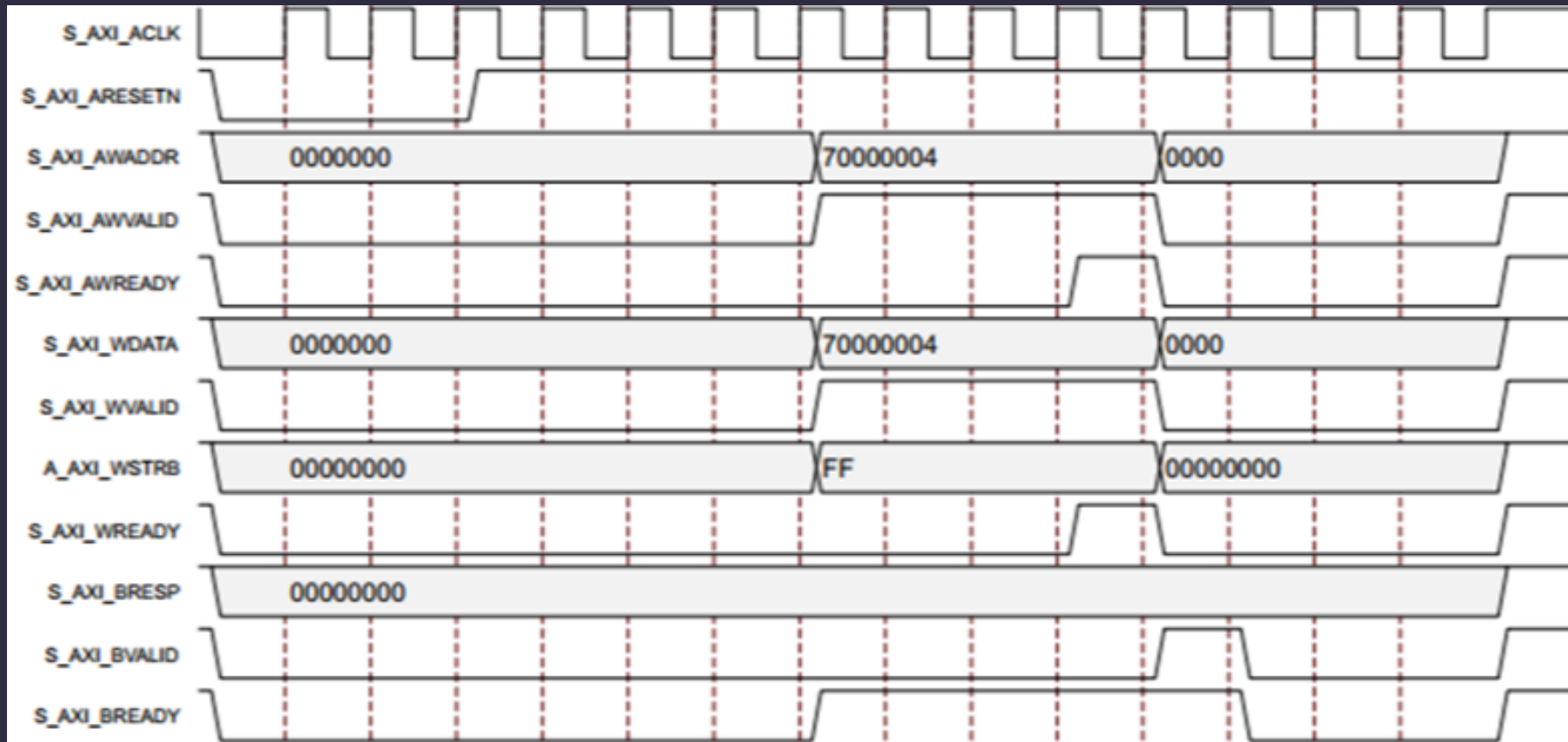
AXI4 Yazma Waveformu

# Data Paths



AXI4-Lite Okuma Waveformu

# Data Paths



AXI4-Lite Yazma Waveformu

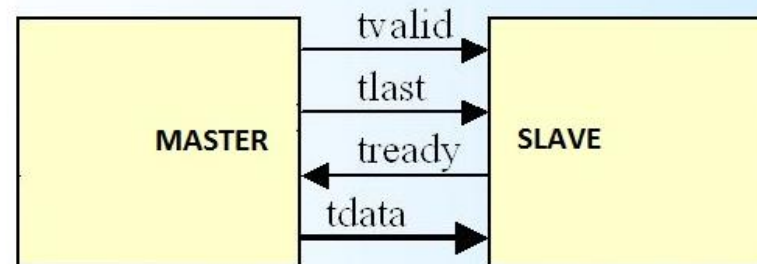
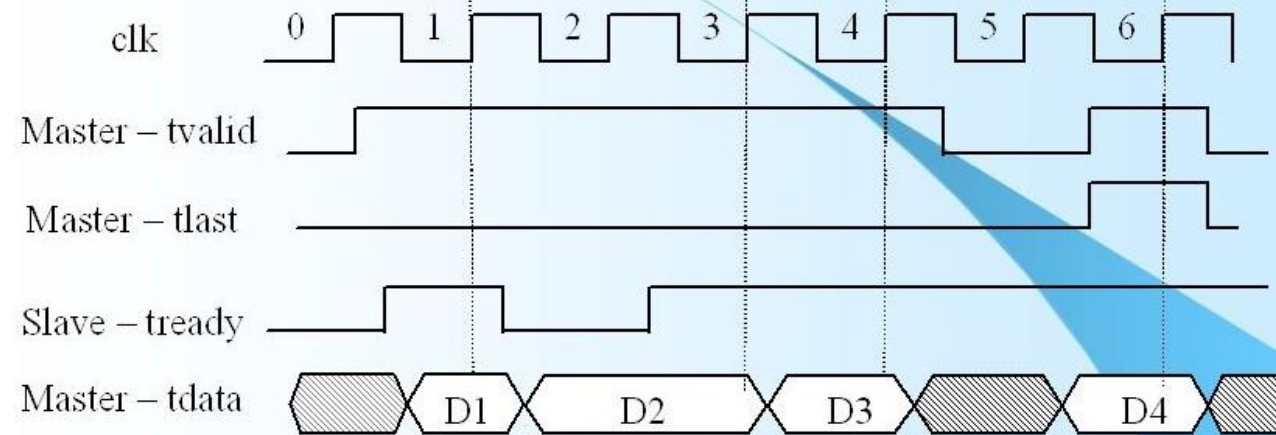
# Data Paths

## AXI Streaming

- AXI4 Stream arayüzü, genellikle yüksek performansta veri hareketi olacağına tercih edilmektedir. Sınırsız burst boyutuna sahiptir. AXI4 ve AXI4-Lite'a göre oldukça az sayıda sinyali bulunur.

| Sinyal | Açıklama                                                                                                        |
|--------|-----------------------------------------------------------------------------------------------------------------|
| TVALID | Çıkan verinin geçerli olduğunu ifade etmektedir.                                                                |
| TREADY | Slave'in veri kabul edebileceğini ifade etmektedir.                                                             |
| TDATA  | Alınan veya üretilen veriyi temsil etmektedir.                                                                  |
| TSTRB  | Verinin hangi byte'larının geçerli olduğunu ifade etmektedir.                                                   |
| TKEEP  | Xilinx tarafından kullanılmamaktadır. Tüm bitleri 1 dir. Bir verinin null byte olup olmadığını tanımlamaktadır. |
| TLAST  | Paketin sonu olduğunu ifade etmektedir.                                                                         |
| TID    | Birden çok stream olduğunda, stream'ların ID'lerini ifade etmektedir.                                           |
| TDEST  | Xilinx IP'lerinde 0 değerini taşır. Verinin ulaşacağı hedef bilgisini içerir.                                   |
| TUSER  | Kullanıcı tanımlı veridir.                                                                                      |

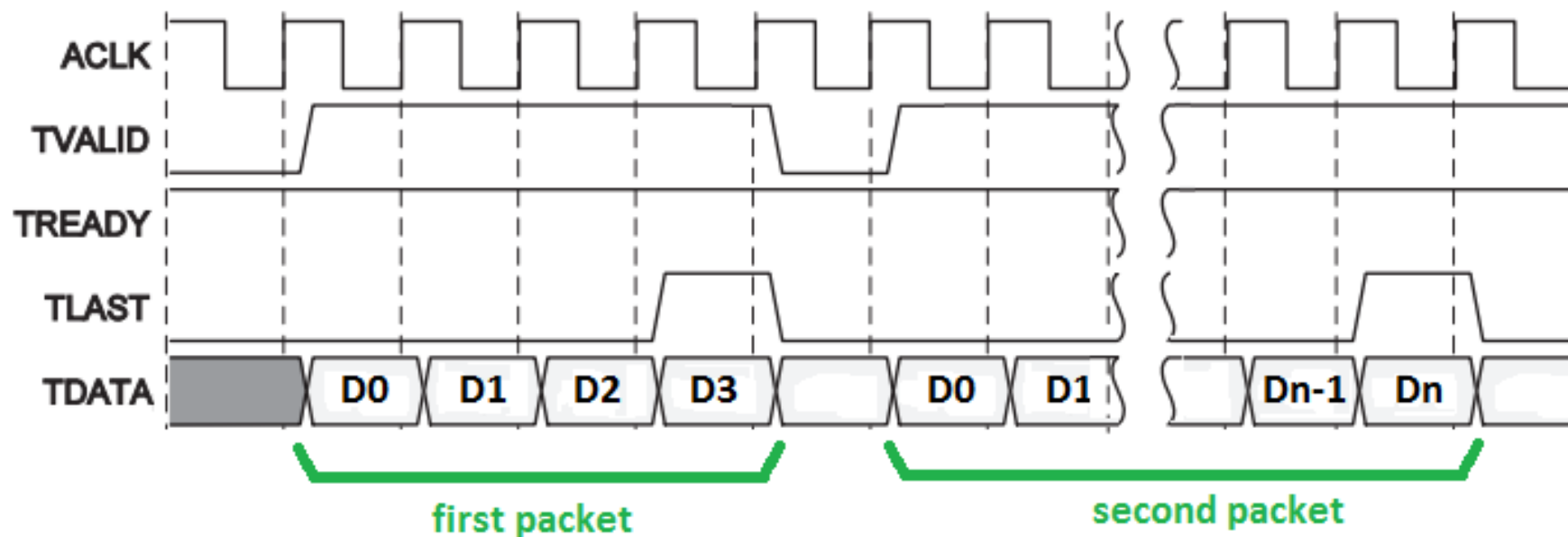
# Data Paths



AXI Stream Waveformu

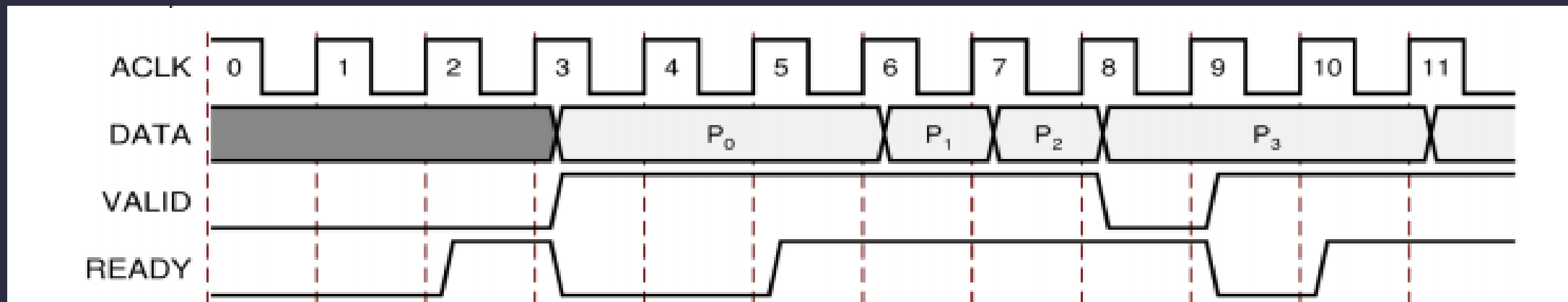


# Data Paths



AXI Stream Waveformu

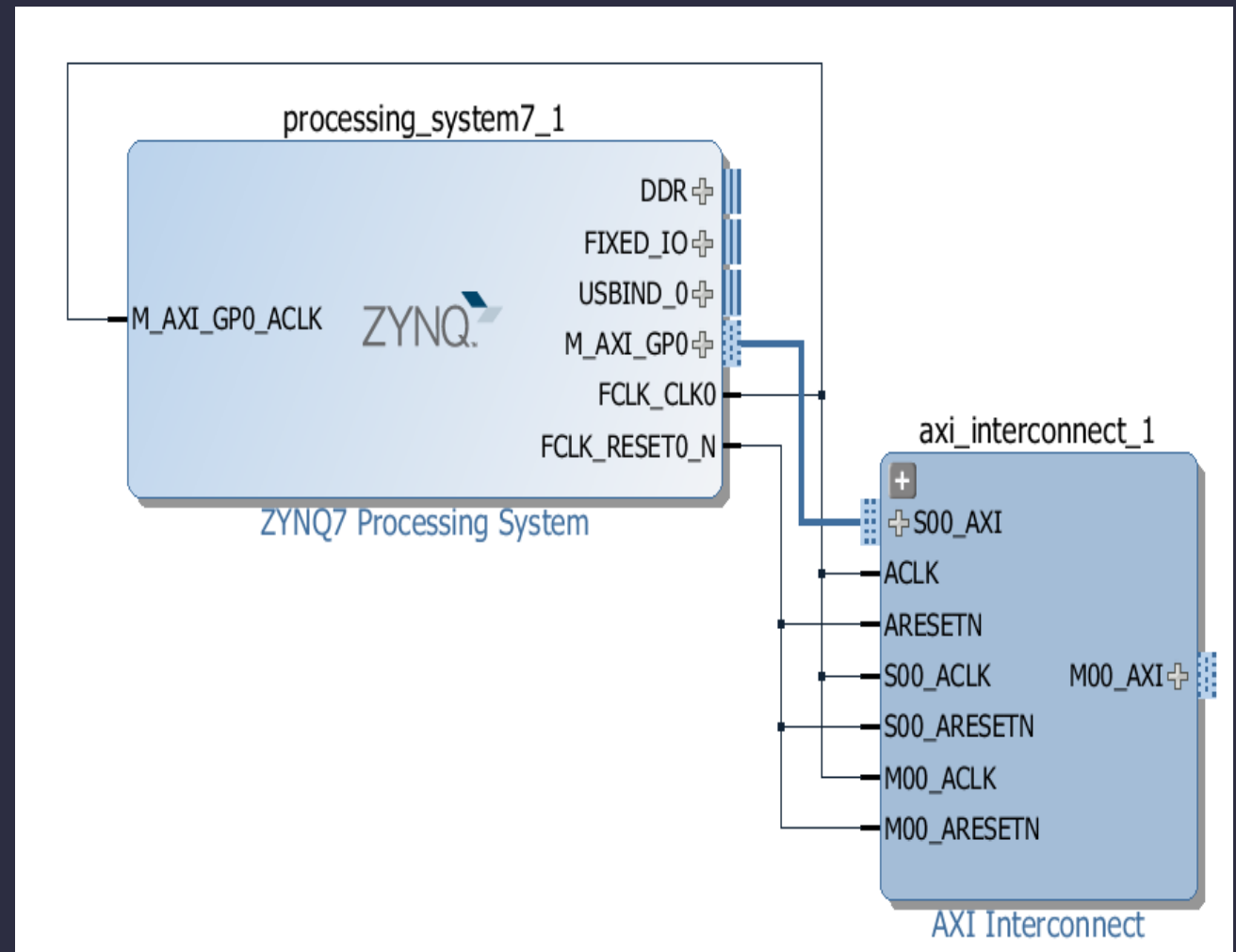
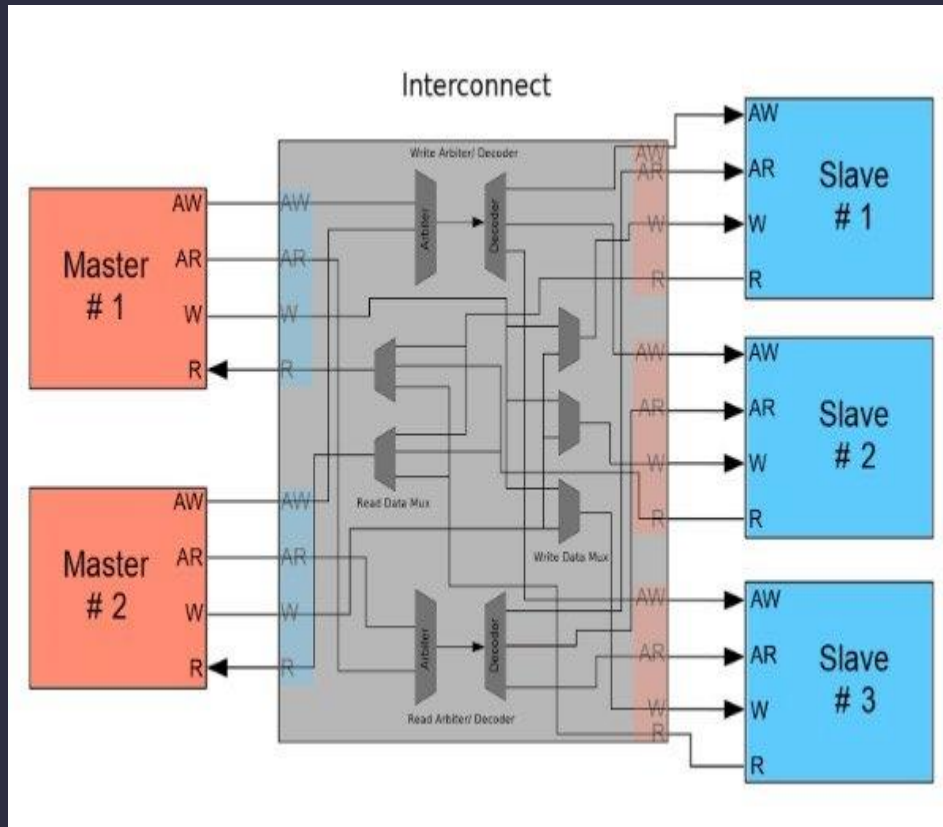
# Data Paths



AXI Stream Waveformu

# Data Paths

- Interconnect



# Data Paths

- Address Editor

| Cell              | Slave Interface | Slave Segment | Offset Address | Range | High Address   |
|-------------------|-----------------|---------------|----------------|-------|----------------|
| zynq_ultra_ps_e_0 |                 |               |                |       |                |
| axi_bram_ctrl_1   | S_AXI           | Mem0          | 0x00_A000_0000 | 256K  | 0x00_A003_FFFF |
| axi_cdma_0        | S_AXI_LITE      | Reg           | 0x04_0000_0000 | 64K   | 0x04_0000_FFFF |
| axi_cdma_0        |                 |               |                |       |                |
| axi_bram_ctrl_0   | S_AXI           | Mem0          | 0xA000_0000    | 256K  | 0xA003_FFFF    |
| zynq_ultra_ps_e_0 | S_AXI_HPC0_FPD  | HPC0_DDR_LOW  | 0x0000_0000    | 2G    | 0x7FFF_FFFF    |
| zynq_ultra_ps_e_0 | S_AXI_HPC0_FPD  | HPC0_QSPI     |                |       |                |
| zynq_ultra_ps_e_0 | S_AXI_HPC0_FPD  | HPC0_DDR_HIGH |                |       |                |
| zynq_ultra_ps_e_0 | S_AXI_HPC0_FPD  | HPC0_LPS_OCM  | 0xFF00_0000    | 16M   | 0xFFFF_FFFF    |

# Data Paths

- Example: AXI GPIO IP
- AXI Lite Interface

| Address Space Offset <sup>(3)</sup> | Register Name         | Access Type          | Default Value | Description                                  |
|-------------------------------------|-----------------------|----------------------|---------------|----------------------------------------------|
| 0x0000                              | GPIO_DATA             | R/W                  | 0x0           | Channel 1 AXI GPIO Data Register.            |
| 0x0004                              | GPIO_TRI              | R/W                  | 0x0           | Channel 1 AXI GPIO 3-state Control Register. |
| 0x0008                              | GPIO2_DATA            | R/W                  | 0x0           | Channel 2 AXI GPIO Data Register.            |
| 0x000C                              | GPIO2_TRI             | R/W                  | 0x0           | Channel 2 AXI GPIO 3-state Control.          |
| 0x011C                              | GIER <sup>(1)</sup>   | R/W                  | 0x0           | Global Interrupt Enable Register.            |
| 0x0128                              | IP IER <sup>(1)</sup> | R/W                  | 0x0           | IP Interrupt Enable Register (IP IER).       |
| 0x0120                              | IP ISR <sup>(1)</sup> | R/TOW <sup>(2)</sup> | 0x0           | IP Interrupt Status Register.                |