

# SOC Design

## Week 6: PL/PS CoProcessing



Fenerbahçe University



## Professor & TAs

Prof: Dr. Vecdi Emre Levent

Office: 311

Email: [emre.levent@fbu.edu.tr](mailto:emre.levent@fbu.edu.tr)

TA: Arş. Gör. Ezgi Çakmak

Office: 311

Email: [ezgi.cakmak@fbu.edu.tr](mailto:ezgi.cakmak@fbu.edu.tr)

# PL/PS CoProcessing

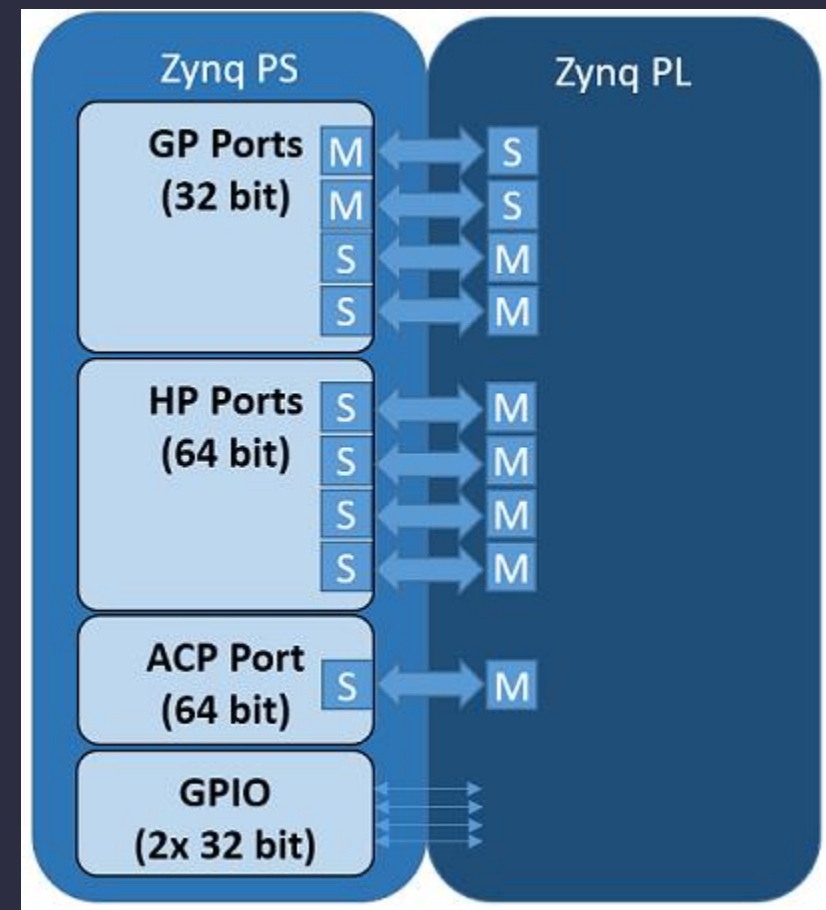
PL ve PS bölümleri bir arada çalıştığı tasarımlar yapılabilir.

PS ve PL arasında bağlantılar AXI MM arayüzü ile yapılmaktadır.

GP arayüzlerinden kontrol amaçlı düşük hızda (500 MB/s),

HP portlarından ise yüksek hızda (2400 MB/s) veri transferi yapmak mümkündür.

\*Bu hızlar transfer edilen veri büyüklüğü ile değişebilmektedir.



# PL/PS CoProcessing

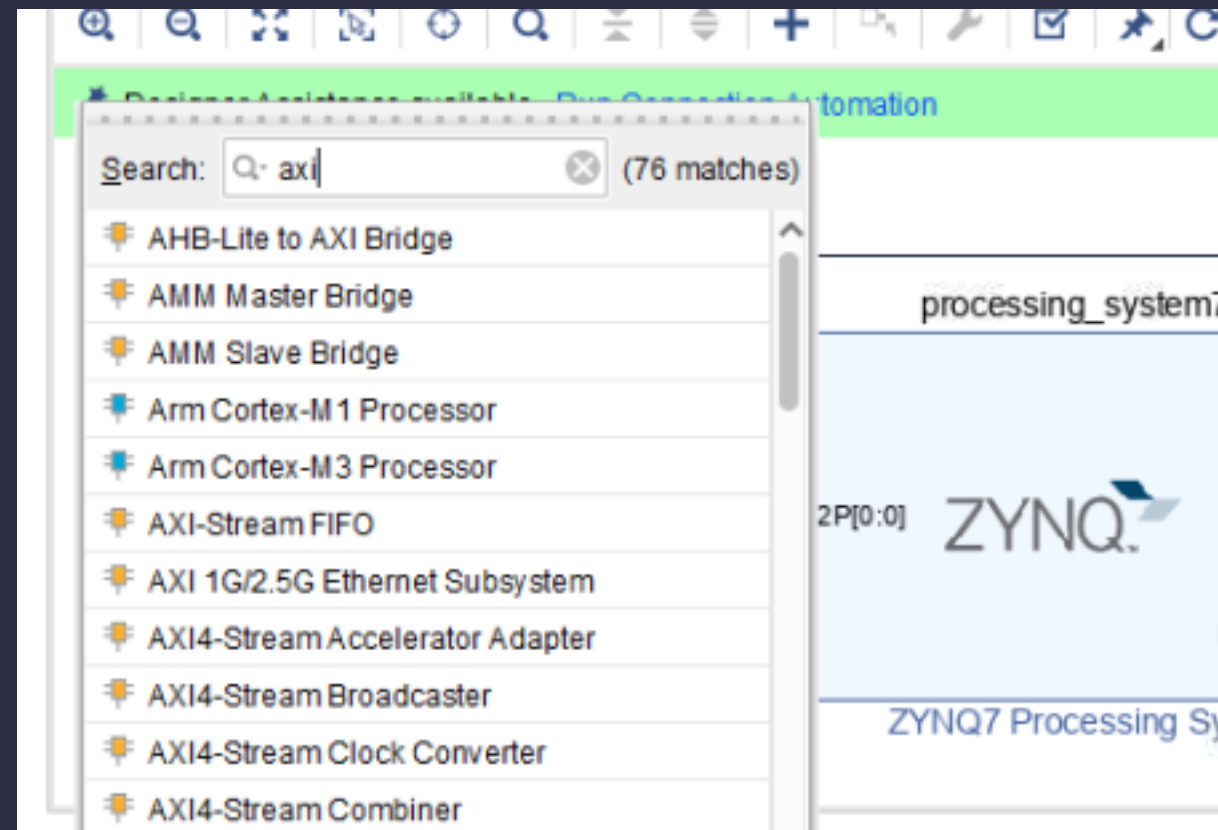
PL ve PS arasındaki haberleşme arayüzü AXI olması nedeniyle, PL tarafındaki modüllerin AXI arayüzüne sahip olması gerekmektedir.

# PL/PS CoProcessing

Xilinx PS tarafına kolay entegre olabilmesi için bir çok IP'sini AXI arayüzüne sahip olarak geliştirmektedir.

# PL/PS CoProcessing

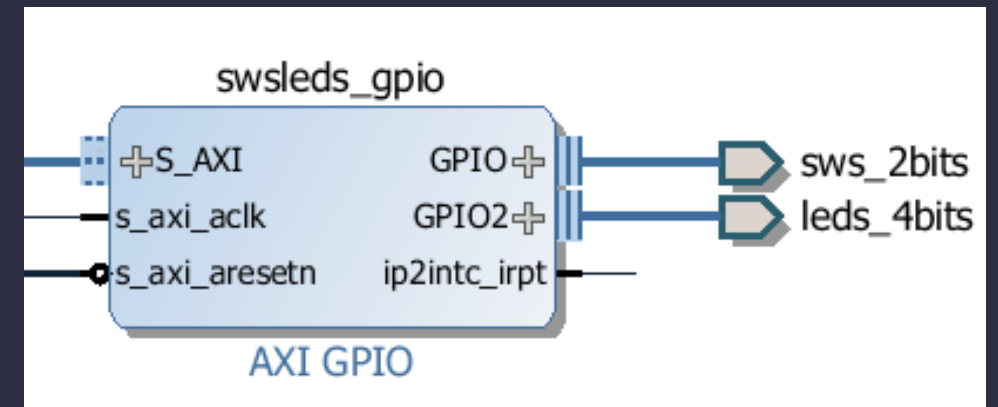
IP Integrator bölümünde arama yapıldığında 76 adet AXI arayüzüne sahip IP'nin olduğu görülmektedir.



# PL/PS CoProcessing

## AXI GPIO

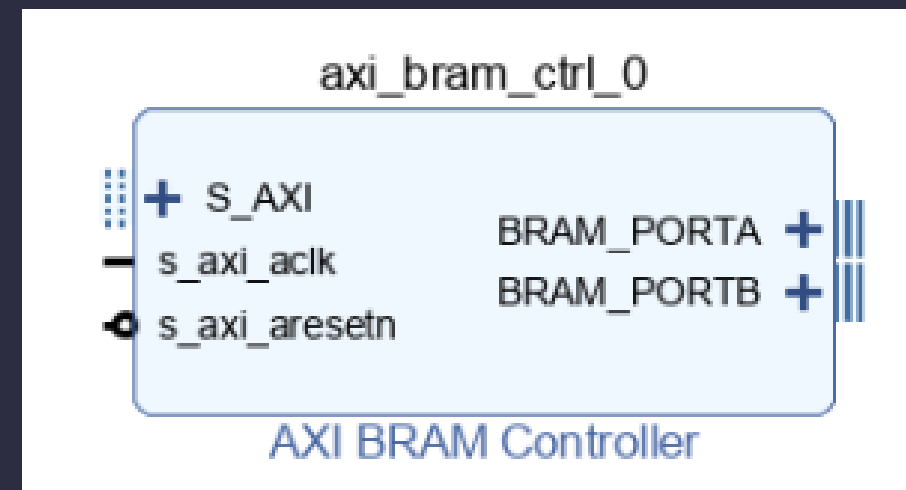
Genel amaçlı giriş/çıkışları AXI arayüzüne dönüştürmek için kullanılır.



# PL/PS CoProcessing

## AXI BRAM Controlller

Bir BlockRAM'e (Bellek) yazmak ve okumak için kullanılır.

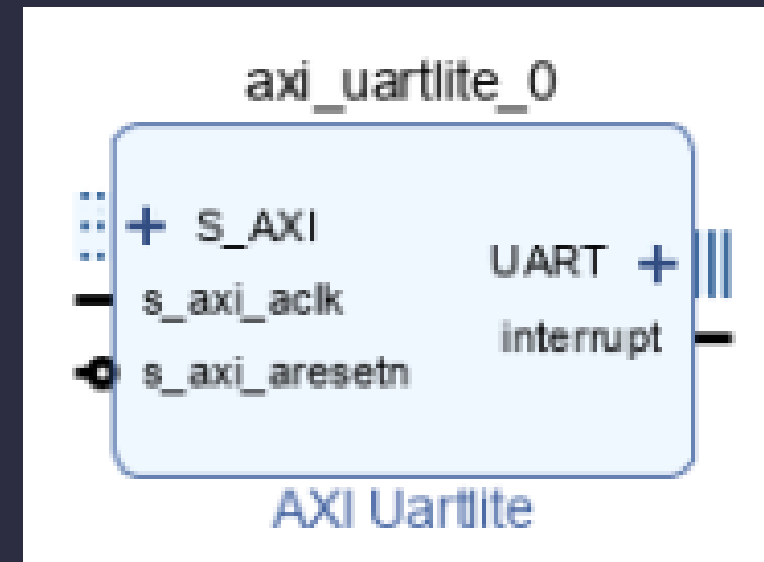




# PL/PS CoProcessing

## AXI UART Lite

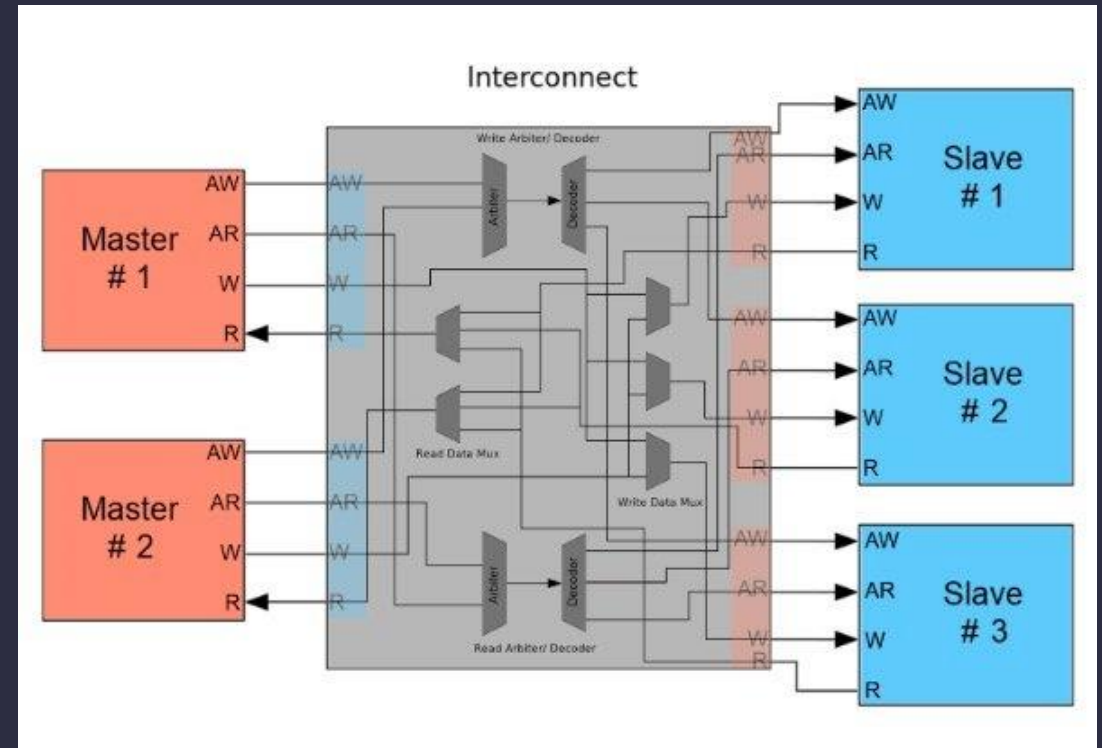
AXI arayüzünden veri kabul edip UART protokolüne dönüştüren bir IP'dir



# PL/PS CoProcessing

## AXI Interconnect

ZYNQ'in sınırlı portlarını çok fazla, AXI arayüzüne sahip modül bağlayabilmek için bir veriyi sırasıyla iletecek bir ara bağlantı modülüdür.



# PL/PS CoProcessing

Debugging için;

ILA (Integrated Logic Analyzer);

Sinyalleri gözlemlemeyi sağlamaktadır.

